

ギガ・ビット時代のUSB, PCI Express,
Ethernetなどを観測する

初めての高速シリアル・ インターフェース測定

畑山 仁 著



ギガ・ビット時代のUSB, PCI Express, Ethernetなどを観測する

初めての高速シリアル・ インターフェース測定

畑山 仁 著

1 まえがき

イントロダクション

4 ますます加速するUSB, PCI Express, GbEthernetなど
高速シリアル・インターフェースの世界へようこそ!

第1部 基礎知識編

【第1章】 物理層の主要要素, トランスミッタ・ブロックとレシーバ・ブロックの技術,
伝送路の考察

13 高速シリアル・インターフェースの基礎知識

Appendix USB, PCI Express, Ethernet

25 高速シリアル・インターフェースのおさらい

【第2章】 イコライゼーション, スペクトラム拡散クロック, 消費電力の抑制, リピータ
30 高速化へのチャレンジ

【第3章】 基本はBER, アイ・ダイアグラムとマスク, ジッタとノイズなどの考察
36 高速シリアルI/Fの標準的な評価手段

Appendix BER値はジッタのみならずノイズも影響する

44 BERとノイズ

【第4章】 リアルタイム・オシロとサンプリング・オシロ, 必要なソフトウェア, BERT,
フィクスチャなど

47 高速シリアルI/F物理層で使用する測定器

【第5章】 コンプライアンス・テスト, テスト・パターン, トランスミッタ/ソース測定,
レシーバ/シンク測定

61 高速シリアル・インターフェースの測定

第2部 観測の実例編

【第6章】 最新規格の全貌を知り, 現実の信号を見る

73 USBインターフェースの基礎と測定/観測例

コラム 240Wまで拡張されたEPRモード

Appendix-1	Type-C コネクタ & ケーブルによる普及が進む
97	受給電インターフェースとしてのUSB PD
Appendix-2	Type-C コネクタによって共存を狙う次世代高速シリアル・インターフェース
99	USB4 と Thunderbolt 3
【第7章】	各種アドオン/グラフィックス・カード, USB, SSD, SD, CF カードなどに 広がるI/F
102	PCI Express の基礎知識と測定例
	コラム チップ・ツー・チップのPCI Express
【第8章】	オフィス, 家庭, 産業機器や車載まで広範囲に普及した高速ネットワークI/F
127	Ethernet の基礎と観測例
Appendix	
143	WOL 機能によってWindows 搭載機器をLAN からリモート 起動する方法
【第9章】	数十Gbps を伝送する高解像ディスプレイのI/O
144	ディスプレイ系高速シリアル・インターフェース
エピローグ	
158	高速シリアル・インターフェースの今昔と将来展望

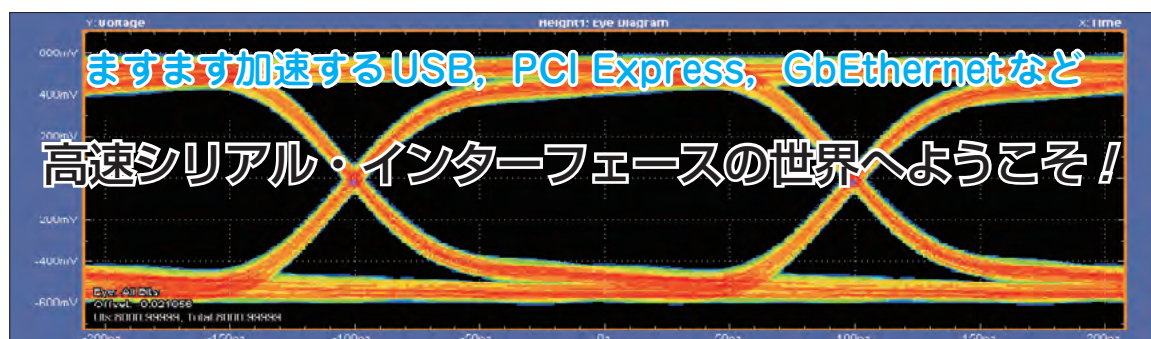
159	付録-1 高速シリアル・インターフェースの周波数帯域図
163	付録-2 オシロスコープの観測帯域と実測波形の例
164	索引
168	筆者略歴, 奥付

初出一覧

本書掲載記事の多くは下記を元に再編集/再構成しました。

- イントロダクション, 第1章～第5章, エピローグ: RFワールドNo.46特集
- 第6章: RFワールドNo.47およびNo.48の技術解説
- 第7章: RFワールドNo.49およびNo.50の技術解説
- 第8章: RFワールドNo.52およびNo.53の技術解説
- 第9章: RFワールドNo.54およびNo.55の技術解説

特集 インTRODクション



1 はじめに：本特集の狙い

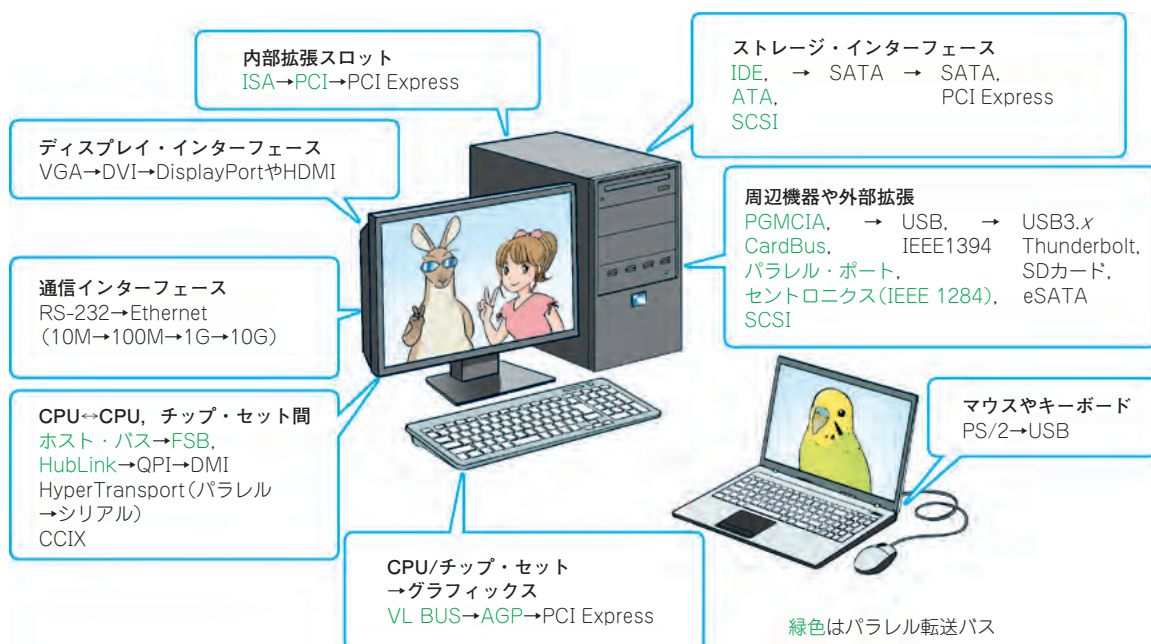
チップ間、モジュール間、またはボード間、さらに装置間を接続するインターフェースでデータを転送する方式としては、並列に一度にデータを受け渡す「パラレル方式」と、データを直列に並べて時系列的に逐次転送する「シリアル方式」の2種類があります。かつてはインターフェースといえば、前者が主流で、後者は距離を長く延ばす場合、いわゆるデータ通信やチップ間での低速の制御や通信での使用でした。

ところが今日では様相が一変しました。Gbps超のインターフェースがパソコン/サーバや通信機器のみならず、デジタル家電、医療機器、放送機器、半導体製造/検査装置をはじめ、多くの電子機器、アプリケーションで使用されています。“Gbps”はGiga bit per secondの略で、1 Gbpsは1秒間に1兆ビットを転

送することを意味します。

図1はパソコンで使っているインターフェースの例です。DDR-DRAM以外はすべてシリアル・インターフェース化されています。しかもそのデータ・レートは民生機器でありながら16 Gbps(PCI Express)、最も高速で20 Gbps(Thunderbolt 3)です。パソコン以外だと、電気信号で最も高速な規格で28 Gbps、さらに次世代は32 Gbps、56 Gbpsに到達しようとしています。複数の線路を使う規格や多値を伝送する規格では、その合計で表記する場合がありますが、ここでは誤解を避ける意味で、特筆のない限り「シングル・レーンあたりの物理層データ・レート」で表現します。なお「レーン」という単位については第1章で説明します。

これら高速シリアル・インターフェースの物理層は、高速でデータを正確に伝送するために、多くの技術によって支えられています。これらが意味するのは、今日では高速シリアル・インターフェースが標準技術で



〈図1〉パソコンで使われているインターフェースの変遷

あり、これを理解することが、電子設計者に求められる条件になったといえるでしょう。

またその評価にあたっては独自の知識が必要です。そこで本特集ではGbps超シリアル・インターフェースの基本的な物理層技術と、その代表例として、身近なパソコン内部およびパソコン周辺インターフェース規格のいくつかに焦点を当てて、測定方法も含めて紹介します。

なお、基礎といいながらも、かなり複雑に思われるかもしれません。しかし、今日ではPCI ExpressやUSB3.2 Gen 1、DisplayPort HBR2のように5 Gbpsの伝送も珍しくありません。そこで5 Gbps近辺のインターフェースを理解する上で必要な知識を中心に紹介したいと思います。

2 なぜ高速シリアルなのか？

シリアル・インターフェース自身は、以前からI²C、SPI、UART、RS-232などチップ間の制御や機器間での通信に使用されていますが、ここでいう高速シリアル・インターフェースは、大量なデータの転送が要求されるために、「物理層データ・レートがGbpsを越えている」ものを指します。

2.1 必要とするデータ帯域幅が 飛躍的に増大

なぜこんなに高速になったのでしょうか？単位時間に転送されるデータ量はデータ帯域幅と呼ばれます。その背景としてデータ帯域幅への絶え間ない要求があります。

歴史的に、転送やストレージに蓄積されるデータは、テキストから音声/音楽、静止画、動画へ移行し、さらに高精細化が進みました。高精細化とは、高解像度、高色深度、動画での高フレーム・レート化(コマ数)を

意味します。より微細な表現、より微妙な色合いや明暗の違いの表現、よりスムーズな動き、より高速な動きを表現するためです。

例としてBlu-rayや地デジに代表されるハイビジョン放送(2K)が挙げられます。2018年12月には4Kや8Kの衛星放送も始まりました。画像のデータ量はピクセル(画素)数で決まります。図2にテレビ画面の高解像度化を示します。ディスプレイの解像度が2倍になるとピクセル数は縦横ともども2倍に増加するため全体では4倍増加します。したがって色深度、フレーム・レートを変更しない状態では、単純に4倍のデータ量を転送する必要があります。

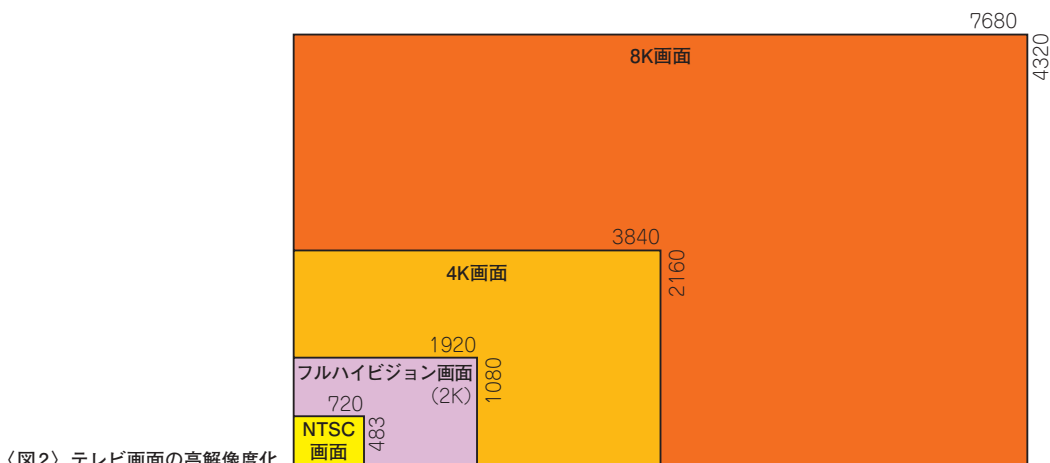
実際にどの程度のデータ量が必要なのでしょう？ハイビジョン放送を例に見てみましょう。

フルハイビジョンの1画面は1920×1080ピクセルで構成されています。画面に見えている有効表示領域以外に音声データや補助データを含む垂直や水平の同期期間があり、それらを含めると1画面あたりは2200×1125=2475kピクセルで構成されています。

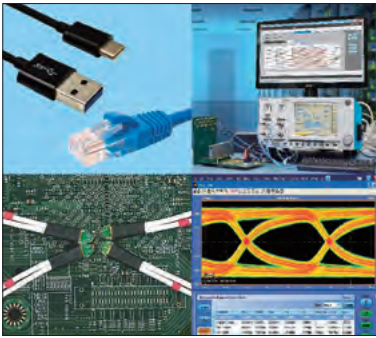
さらに動画として30フレーム/秒で表現されており、74.25 Mピクセル/秒を転送する必要があります。なお、日本の放送規格でのフレーム・レートは正確には30/1.001=29.97フレーム/秒を採用しています。

1ピクセルは10ビットで表現されます。そして1ピクセルには、明暗を表現する輝度情報(ルミナンス：Y)と色を表現するための色差情報(クロミナンス：Cb、Cr)各々10ビットで計20ビットの情報を持ちます。色差情報は情報量を減らすために1ピクセルごとに間引かれ、CbとCrを交互に転送します。これを「Y：Cb：Cr=4：2：2」と表現します。したがってシリアル化すると、データ転送レートは74.25 M×20ビット=1.485 Gbps必要となります。

なお、こんなに大量のデータをそのまま放送電波に乗せられないため、国内地上波デジタル放送は、



〈図2〉テレビ画面の高解像度化



第1章 物理層の主要要素, トランスミッタ・ブロックとレシーバ・ブロックの技術, 伝送路の考察

高速シリアル・インターフェースの基礎知識

1.1 高速シリアル・インターフェースの物理層がもつ主要要素

1.1.1 トランスミッタ, レシーバ, 伝送路

高速シリアル・インターフェースの物理層は図1.1に示す「トランスミッタ」、「レシーバ」、そしてそれらの間を接続する「伝送路」で構成されます。

ここで紹介するインターフェースは、基本的に信号が左から右へ流れる片方向伝送の構成とします。

双方向(全二重)にするには、左右が逆向きに配置された同じ接続をペアで組み合わせます。これを「双対単方向伝送」といいます。

なお、片方向だけの伝送で済むインターフェースもあります。たとえば画像系です。パソコンなどの信号源(ソース)から外部ディスプレイやプロジェクタなどへの表示装置(シンク)への伝送、GPUからLCDパネルへ映像データを送る伝送のように、いずれも片方向だけの構成です。

1.1.2 レーン, リンク, ポート

高速シリアル・インターフェースには「レーン」、「リンク」、「ポート」という用語が登場します。図1.2を見てください。

● ポート

同一チップ内に置かれたトランスミッタとレシーバの組み合わせです。

● レーン

1本の信号線をいいます。差動であれば正負1対の

差動信号線です。双対単方向伝送では上り下りをペアとして数えます。

● リンク

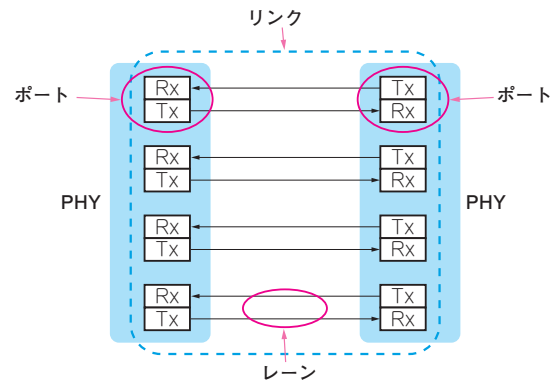
二つのポート間を接続する双対単方向伝送パスをいいます。PCI Expressなどでは「 $\times N$ リンク」という表現があり、 N 組のレーンで構成されています。

1.2 トランスミッタ・ブロックとその技術

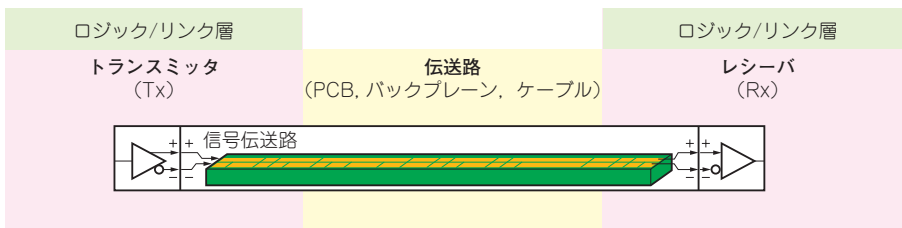
図1.3はトランスミッタ・ブロックの機能ダイアグラムです。上位層から受け取ったデータをシリアル化し、実際の信号として送信します。ブロック図の左から右へ信号の流れに沿って各機能を説明します。

1.2.1 スクランブラ

上位層から転送されてきたデータは、同じパターン



〈図1.2〉レーン, リンク, ポート



〈図1.1〉高速シリアル・インターフェースの物理層を構成する要素

が継続しないように線形フィードバック・レジスタ (LFSR) で生成した乱数値とデータを排他的論理和 (XOR) して、データを撹拌します。この機能を「スクランブラ」といいます。

図 1.4 はスクランブラの例です。これは PCI Express 2.5/5 Gbps や USB 3.2 5 Gbps で使用されている 16 ビット LFSR です。

受信側にもデスクランブルを行うために同じハードウェアを備えており、受信したデータと LFSR 出力を排他的論理和することで、元のデータ値に戻します。

その際に、正しくスクランブル前のデータに復元するには、スクランブラとデスクランブラが同じ値を生成するように同期している必要があります。そこでトランスミッタからの送信データに特殊なデータを使ってリセットし、同期するようにします。

LFSR は段数とフィードバック・タップ位置を表した生成多項式および初期値 (シード) で規定されます。表 1.1 は LFSR の生成多項式の例です。生成多項式は各規格により異なり、さらに同じ規格でも、例えば USB 3.2 5 Gbps ではレーン 0 に FFFFh、レーン 1 は 8000h のようにレーン間でデータが変化するパターン (タイミング) をずらしてクロストークを抑制します。

表 1.2 はスクランブラ/デスクランブラと転送されるデータの関係です。USB 3.2 5 Gbps で D0.0 (00h) を連続転送した例 (論理的アイドル) です。

スクランブルする狙いは次の二つです。

- 特定周波数へのエネルギーの集中による EMI を低減する

同じデータが周期的に繰り返されると、特定のスペクトラム上にピークが生じますから、そのレベルを低減します。

図 1.5 はスクランブラの有無によるスペクトラムの差です。スクランブラを掛けるとピーク値が 18 dB ほど低下しているのがわかります。

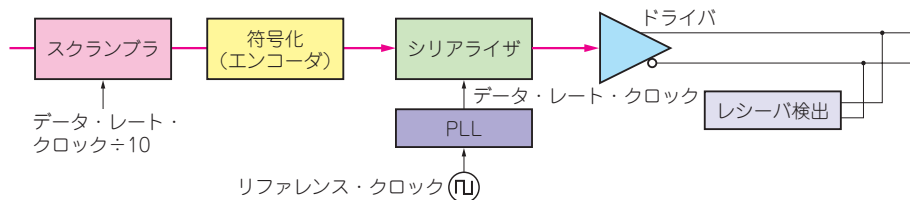
- データ遷移密度の向上

高速シリアル・インターフェースでは同期のために、レシーバのクロック・リカバリ回路でデータからクロックを再生します。このとき PLL が絶えず追従する、つまりクロック・リカバリ回路が常に周波数/位相同期したクロックを再生するためには、高頻度で信号が変化することが必要です。

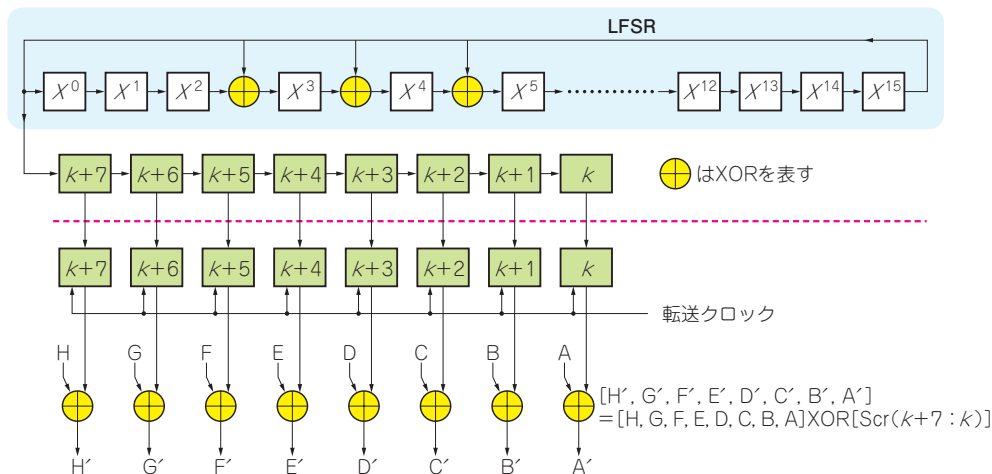
1.2.2 エンコーダ(符号化)

さて、スクランブラを通したデータをそのままシリアル化して送信するわけではありません。何らかの符号化を行います。おもに利用されている符号化方式としては、表 1.3 に示すものがあります。

符号化方式の名称にある最初の数字は、符号化前のビット数で、後ろの数字は符号化後のビット数を表しています。つまり「8B/10B」は、8 ビット・データを



〈図 1.3〉 トランスミッタの機能ブロック



〈図 1.4〉 16 ビット・スクランブラの例 (PCI Express 2.5 G/5 Gbps や USB 3.2 5 Gbps で使用)

第1章 Appendix

USB, PCI Express, Ethernet 高速シリアル・インターフェースのおさらい

高速シリアル・インターフェースには、ディスプレイ・インターフェースやモバイル機器向けインターフェースなど種類ありますが、代表的な3種類について、ざっとおさらいしておきましょう。

1 USB： ユニバーサル・シリアル・バス

● USB1.0, 1.1, 2.0

USB(Universal Serial Bus)は、パソコンと外部周辺機器との接続用として、もっとも普及したインターフェースの一つです。パソコンのみならずデジタル家電機器にも広く普及されています。表1は規格の概要です。

1996年にUSB-IF(USB Implementers Forum)から最初の規格が公開されました。当初はマウスやキーボードのPS/2コネクタの置き換えでしたが、フラッシュ・デバイスの台頭により、フロッピー・ディスクに代わるストレージ・メディアとしてUSBメモリが普及し、時代が必要とする高速化に対応しました。Low

Speed(1.5Mbps)/Full-Speed(12Mbps)に加え、40倍高速化したHigh-Speed(480Mbps)がUSB2.0で追加されました。

● USB3.0, 3.1

現時点でパソコンでの主流は2008年に規格が策定されたUSB3.0とその後策定されたUSB3.1 Gen1(5 Gbps)です。5 Gbpsの物理層は、USB2.0には手を加えずに完全に仕様と電気的特性が異なるPCI ExpressやSATAに類似した物理層の信号線と端子をケーブル/コネクタに別途追加したデュアル・バス・アーキテクチャで実現しました。表2に概要を示します。

ホストに使用するStandard AはUSB2.0との互換性を備えています。それ以外のコネクタではデバイス側はUSB2.0ケーブルをUSB3.0デバイスに接続できますが、逆は挿すことができません。USB3.0はUSB2.0の上位のような番号の付け方をしていますが、USB3.0とUSB2.0は別の規格として策定され、USB規格では後方互換性のために、USB3.xはUSB2.0が必ず共存し

〈表1〉USB1.0, 1.1, 2.0規格の概要

規格バージョン	USB1.0/1.1※1		USB2.0	USB3.0	USB3.1	
					Gen1	Gen2
規格策定時期	1996年1月		2000年4月	2008年11月	2013年7月	
名称	LS： Low-Speed	FS： Full-Speed	HS： Hi-Speed	SS：SuperSpeed		SSP： SuperSpeed Plus
データ・レート(1レーン)	1.5 Mbps	12 Mbps	480 Mbps	5 Gbps		10 Gbps
データ信号(差動)						
D+ /D-	1組2本					
SSTx+ /SSTx-, SSRx+ /SSRx-	(なし)			2組(4本)		
通信方式	半二重による双方向			双対単方向※4		
符号化	NRZI(Non-Return to Zero Inversion) +ビット・スタッフィング※2			8b/10b		128b/132b
ケーブル長	3 m (18 ns 遅延)	5 m(26 ns 遅延), Type-Cでは4 m		3 m(6 dB@2.5 GHz, Standard-A～ Micro Bでは1 m, Type-Cでは2 m)		1 m (6 dB@5 GHz)
Tx イコライザ	なし			ディエンファシス (2タップ)		ディエンファシス+プ リシユート(3タップ)
Rx イコライザ	なし			CTLE		CTLE+1タップDFE
後方互換性	あり			あり※3		
コネクタ	Standard-A, Standard-B, Type-C, Mini-B, Standard-A, Standard-B			Standard-A, Standard-B, Type-C, micro-A, micro-B, micro-AB		
最大給電能力	2.5 W, USB BC：7.5 W, USB PD：100 W※5			4.5 W, USB BC：7.5 W, USB PD：100 W※5		

注▶※1：現在USB1.0/1.1はUSB2.0規格に統一されている。※2：Non Return to Zero Inversion：“0”を送る時に状態を反転。“1”を送る時は保持。ビット・スタッフィング：“1”を6ビット送ったら反転する。※3：後方互換性はデュアル・バスで実現。USB2.0(最低HS/FS/LSのうち一つ)をサポートすること。※4：ダウン・リンク、アップ・リンクで専用の片方向通信路を持つ双対単方向伝送(デュアル・シンプレックス)。※5：2022年5月に策定されたUSB PDリリース3.1から、従来の100 WまでをSPRモード(Standard Power Range)とし、240 Wまで拡大可能なEPRモード(Extended Power Range)として、28/36/48 Vが追加された。

[見本] 低解像度

〈表2〉USB3.0, 3.1, 3.2規格などの概要

規格バージョン		USB3.2				USB4	
		Gen1		Gen2		Gen2	Gen3
規格策定期間		2017年9月				2019年8月	
名称		SuperSpeed USB	－	SuperSpeed USB 10 Gbps	SuperSpeed USB 20 Gbps	USB4 20 Gbps	USB4 40 Gbps
データ・レート	最大	5 Gbps	10 Gbps		20 Gbps	20 Gbps	40 Gbps
	1レーンあたり	5 Gbps		10 Gbps	10 Gbps	10 Gbps	20 Gbps
	レーン数	1	2	1	2	2	
データ信号(差動)	D+ /D－	1組(2本)					
	SSTx+ /SSTx－	1組(2本)	2組(4本, Type-C)	1組(2本, Type-C)	2組(4本, Type-C)		
	SSRx+ /SSRx－	1組(2本)	2組(4本, Type-C)	1組(2本, Type-C)	2組(4本, Type-C)		
通信方式		双対単方向※2					
符号化		8b/10b		128b/132b		64b/66b	128b/132b
誤り訂正		なし		なし		RS(198, 194)	
ケーブル長		Standard-A～Standard-B：3 m, Standard-A～micro-B：1 m, Type-C～Type-C：2 m		1 m (6 dB@5 GHz)		2 m (12 dB@5 GHz)	1 m (7.5 dB@10 GHz) 2 m (LRDケーブル※4)
Txイコライザ		2タップ (ディエンファシス)		3タップ(ディエンファシス+プリシュート, 1セット固定)		3タップ(ディエンファシス+プリシュート, 16プリセットから選択)	
Rxイコライザ		CTLE		CTLE(DCゲイン7段) + 1タップDFE		CTLE(DCゲイン10段) + 1タップDFE	
後方互換性		あり※1				あり※3	
コネクタ		Standard-A, Standard-B, Type-C, micro-A, micro-B, micro-AB				Type-C	
最大給電能力		×1：4.5 W, ×2/USB BC：7.5 W, USB PD：100 W※5				USB 4/USB BC：7.5 W, USB PD：100 W※5	

注▶※1: 後方互換性はデュアル・バスで実現。USB2.0(最低HS/FS/LSのうち一つ)をサポートすること。※2: ダウン・リンク、アップ・リンクで専用の片方向通信路を持つ双対単方向伝送(デュアル・シンプレックス)。※3: ネイティブ・モードでUSB3.2をサポート。※4: Linear Redriver Cable(アクティブ・ケーブル)。※5: 2022年5月に策定されたUSB PDリリース3.1から、従来の100 WまでをSPRモード(Standard Power Range)とし、240 Wまで拡大可能なEPRモード(Extended Power Range)として、28/36/48 Vが追加された。

ている必要があります。その結果、マウスやキーボードをはじめとする高速性が必要のないアプリケーションでは、従来からのデバイスやコンポーネントそのほかをそのまま利用できます。実際にUSB2.0は2000年に規格化された後、大きな変更がなく今日に至っています。

USB3.0は当初、パソコンへ搭載するには、ホスト・コントローラ・チップを外付けする必要がありました。CPUやチップ・セットに標準搭載されるようになってから、パソコン標準でケーブル接続できる高性能のインターフェースとして本格普及しました。

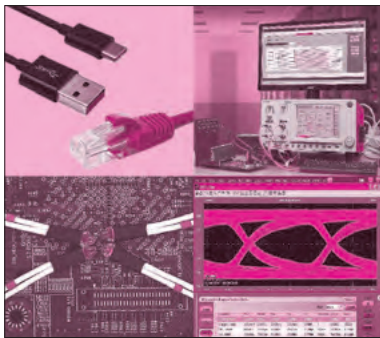
周辺機器との接続では、SSDやHDDなどの一つのアプリケーション接続用であれば、帯域は5 Gbpsで十分かもしれません。しかしながら、ドッキング・ステーションのように一つのインターフェースの先に、複数のデバイスやアプリケーションが接続されるような使い方では不十分です。さらに大容量化する一方のストレージ・デバイスのコンテンツを丸ごと転送するような用途では、高速性は生産性に直結します。そういったニーズに応えるために、従来からの5 Gbpsを

Gen1とし、新たに10 Gbps Gen2を追加したUSB3.1が2013年7月にUSB-IFから規格化されました。5 Gbpsの8B/10Bより符号化のオーバーヘッドが高効率な128B/130B符号化のシンク・ヘッダ2ビットを4ビット化し、1ビット・エラーがあったとしてもヘッダを認識可能にすることで、データ再送を不要にした128B/132B符号化を採用しています。10 Gbpsは5 Gbpsへの後方互換性を備えています。

USB3.1 10 Gbpsは、USB3.0の初期同様に、当初はチップ・セットへ搭載されていませんでしたが、2018年第4四半期に発売開始されたインテル300シリーズ・チップ・セットCNL-PCHに集積され、パソコンにUSB3.1 Gen2/10 Gbpsを標準搭載できる時代を迎えました。

● Type-C コネクタ

USBの歴史の中でセンセーショナルな出来事がUSB Type-Cコネクタの策定です。従来、コネクタはそれぞれの通信規格に紐づけられ、規格で規定された信号の伝送や機能を実現すべく、規格ごとにさまざまな形状のコネクタが用意され、パソコンはそれらを



第2章 イコライゼーション, スペクトラム 拡散クロック, 消費電力の抑制, リピータ

高速化へのチャレンジ

データ・レートの高速化は、さまざまな技術的障壁との戦いになります。

2.1 有損失伝送路との戦い： イコライゼーション

データ・レートが高速化すると、伝送線路がもつ損失の影響を受け、受信端の信号振幅が減少します。

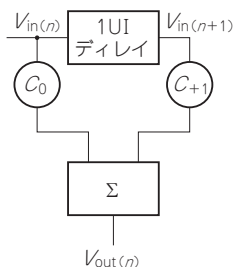
高速化実現の背景には、誘電正接($\tan\delta$)など基板素材の特性改善のみならず、基板などの設計/製造技術、半導体のプロセスの微細化による高速動作もありますが、伝送路の損失を補償するイコライザ技術の向上が実現したといっても過言ではないでしょう。

イコライザ技術には、トランスミッタ側で送信信号に対して適用する「トランスミッタ・イコライザ」とレシーバ側で受信した信号に適用する「レシーバ・イコライザ」があります。

2.1.1 トランスミッタ・イコライザ

● ディエンファシスによって受信端での遷移ビットと非遷移ビットとのレベル差をなくす

トランスミッタ・イコライザとして基本的なのは、図2.1の「ディエンファシス」です。信号の0→1, 1→0というビット変化部分は「遷移ビット」とか「カーソル」とも呼ばれ、周波数的に高い成分を持つため、0→0, 1→1と同じビットが継続する「非遷移ビット」(ポスト・カーソルとも呼ぶ)に比べて損失が多くなります。そのため低周波成分の信号レベルを下げるこ



(a) ブロック・ダイアグラム

現在の信号を C_0 で重み付けし、 C_{+1} で重み付けした1UI手前の信号と加算する。 C_{+1} の係数をマイナスにすることで反転し、同じビットなら振幅が下がる

で、相対的に遷移ビットを強調し、受信端に到来した遷移ビットと非遷移ビットとのレベル差をなくします。

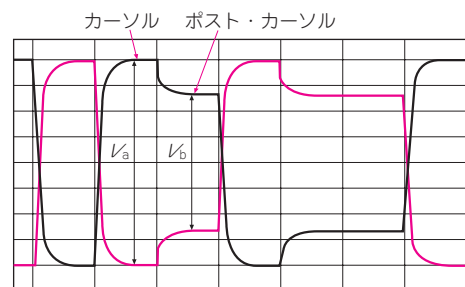
逆に遷移ビットの信号レベルを非遷移ビットの信号レベルより持ち上げるのを「プリエンファシス」という場合がありますが、FM放送のように送信側であらかじめ補償するという意味であり、ディエンファシスでありながら「プリエンファシス」と称する場合もあります。狙いはディエンファシスと一緒です。混在して使用されています。

基本的なディエンファシスは、上記のように2ビット間での制御で2タップですが、伝送路の周波数損失に応じてパターンごとに信号レベルを制御するのが理想です。そのため高速化に伴い、図2.2のように3ビット間、つまり遷移ビットの一つ前のビット(プリカーソル)の信号レベルも制御したり(プリシュート)、細かく信号レベルを制御する3タップも使われます。

ディエンファシス量を一定値に指定している規格もありますが、例えばPCI Express (8Gbps)のように伝送路に合わせて細かく調整できる規格もあります。代表的な規格例を表2.1に挙げます。

● ディエンファシスの効果

実際のディエンファシスの効果を見てみましょう。まず図2.3は周波数特性で見たトランスミッタ・イコ



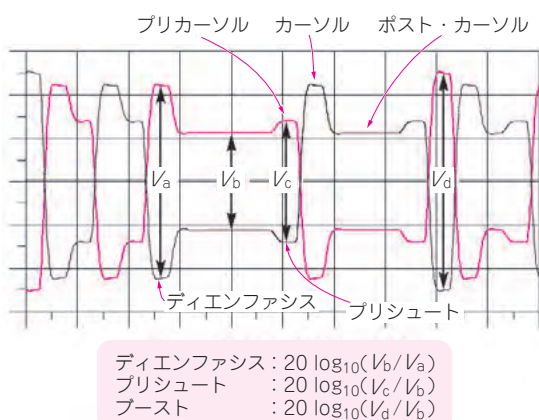
パターン遷移後ビットであるカーソルが最大振幅 V_a となり、ポスト・カーソル以降のパターン非遷移ビットの振幅が V_b に下がる(ディエンファシス)

(b) カーソルとポスト・カーソル

(図2.1) トランスミッタ・イコライザによるディエンファシス(2タップ)

ライザの効果です。図(a)の周波数特性を持つ伝送路(トレース長140 cmの基板)に対して、5 Gbps信号に3.5 dBのディエンファシスを適用した例です。ディエンファシスは受信端での周波数がより高い遷移ビットのレベルと、周波数がより低い損失の少ない非遷移ビットのレベル間の差を少なくすることが目的で図(b)のような特性を持ちます。その結果、図(c)のような特性を持つことになります。

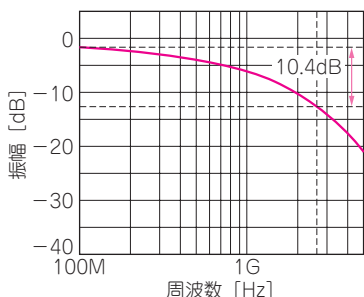
図2.4は上記伝送路でディエンファシスなしで伝送したとき、図2.5はディエンファシスを適用した際のアイ・ダイアグラムです。受信した信号の品質が改善されていることがアイ・ダイアグラムから判断できます。受信端の信号振幅は遷移ビットの損失量+伝送損失分下がります。ということは伝送線路が長くなる、またはデータ・レートが上がれば受信端振幅が下がる



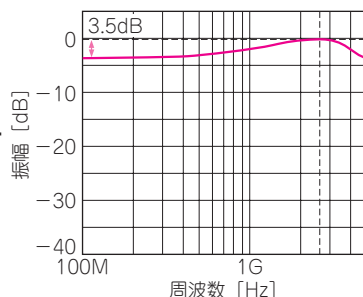
〈図2.2〉 トランスミッタ・イコライザによるディエンファシス (3タップ)

〈表2.1〉 高速シリアル・インターフェース規格で採用されているディエンファシス例

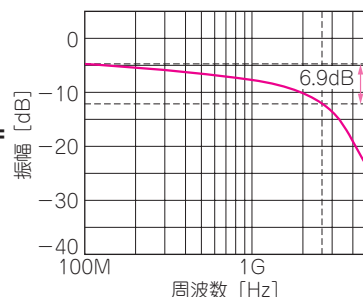
規格	符号化	ディエンファシス
PCI Express	2.5 Gbps	3.5 dB
	5 Gbps	3.5 dB, 6 dB
USB3.2 5 Gbps	5 Gbps	3.5 dB



(a) 140cm基板の周波数特性(挿入損失)



(b) 3.5dBディエンファシスの周波数特性



(c) (a)に対しディエンファシスで補正した周波数特性

〈図2.3〉 周波数特性で見たトランスミッタ・イコライザの効果 (数値は2.5 GHzと100 MHzとの差分)

ことになります。

2.1.2 レシーバ・イコライザ

送信側で施される信号改善方法であるディエンファシスに対し、受信側で施される信号改善がレシーバ・イコライザです。

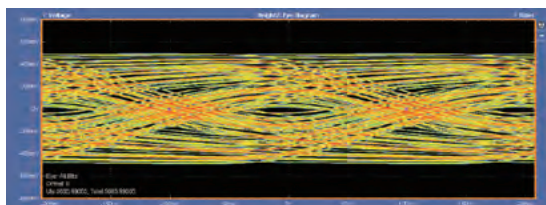
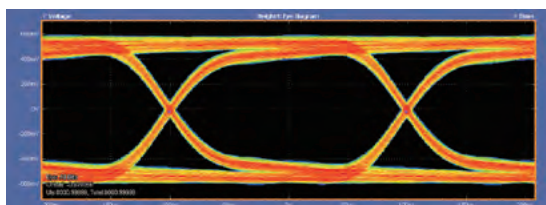
レシーバ・イコライザの基本的な考え方は、伝送路の周波数特性による損失を受信側で補うものであり、とくに新しい技術ではありません。しかしながら最近のデータ・レートの高速化に伴い、積極的に使用する傾向にあります。

CTLEとDFE

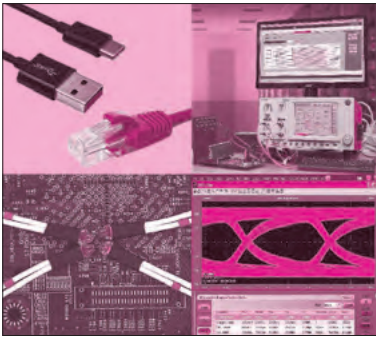
レシーバ・イコライザには大きく分けて図2.6の2種類があります。

▶CTLE(Continuous Time Linear Equalizer: 連続時間線形イコライザ)

アナログ的にハイパス・フィルタとローパス・フィルタを組み合わせることで実現され、時間軸上で連続的に動



〈図2.4〉 USB3.2(5 Gbps, CP0パターン)信号を長さ140 cmの基板に通したときの信号劣化(テクトロニクス社BSA12500ISI型ISIテスト基板)



第3章 基本はBER, アイ・ダイアグラムとマスク, ジッタとノイズなどの考察

高速シリアルI/Fの標準的な評価手段

3.1 基本的な考え方： ビット・エラー・レートが基準

高速シリアル・インターフェース規格の仕様を見た場合にほとんどの仕様、例えばこれから紹介するアイ幅やジッタ量は、すべてビットあたりのエラー率である“BER”を基準に決められています。これはビット・エラー・レートであり、ビット・エラー・レシオとも呼ばれます。

ビット・エラー・レートとは、転送したデータに対し、何個エラーが発生したかを表した比率です。物理層の相互運用性は、ある特定のビット・エラー・レート以下で転送できるかどうかが基準となっています。規格にも依りますが、多くの規格はBERが 10^{-12} 、つまり1兆ビットの転送に対し、1個のエラー許容を基準とします。ビット・エラー・レートを基準とする理由は、伝送路系にあるジッタとノイズの存在です。ただし、影響の出方はデータ・レートや伝送方法に大きく依存します。

3.2 アイ・ダイアグラム

シリアル・インターフェースの伝送特性を表す要素には下記のようなものがあげられます。

- 信号レベル(マージン)
- 立ち上がり時間、立ち下がり時間
- オーバシュート、アンダーシュート、
- リンギング(リングバック)
- デューティ・サイクル
- UI(ユニット・インターバル)
- ジッタ、ノイズ

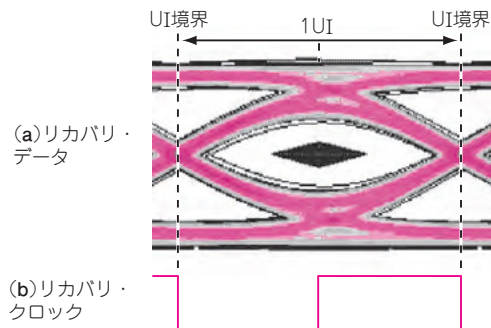
これらを総合的に表現できるということで、シミュレーション評価やオシロスコープによる測定で使われているのが図3.1の「アイ・ダイアグラム」です。1ビットごとの信号の遷移や非遷移状態を切り出して重ね合わせた表示で、「目」のような形状になることからその名があります。

アイが明瞭に開いていれば、ノイズやジッタに対す

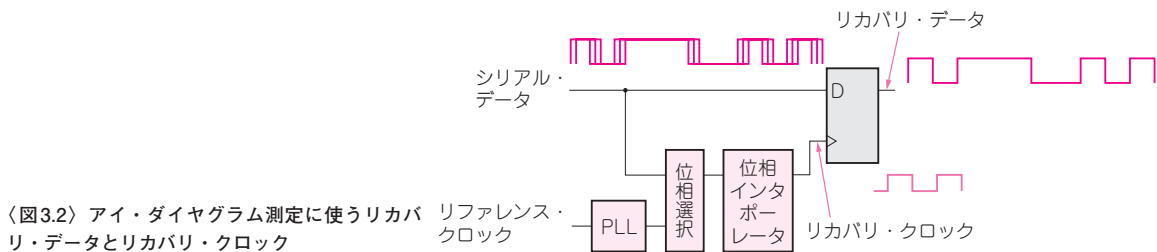
る耐性が増加し、受信特性も良好になります。しかしながら、アイのトップやベース部分が太くなったり、遷移部分が広がったり、つまりアイの開き方が不明瞭になってくると、受信特性が悪化することは直感的に理解できると思います。実際にアイの開き具合は、ビット・エラー・レートと相関があります。

図3.2は図3.1のリカバリ・クロックやリカバリ・データを示しています。ここで重要なことは、アイ・ダイアグラムの基準点(例えばオシロスコープであればトリガとなる点)は、データではなく再生されたクロックが基準であるということです。

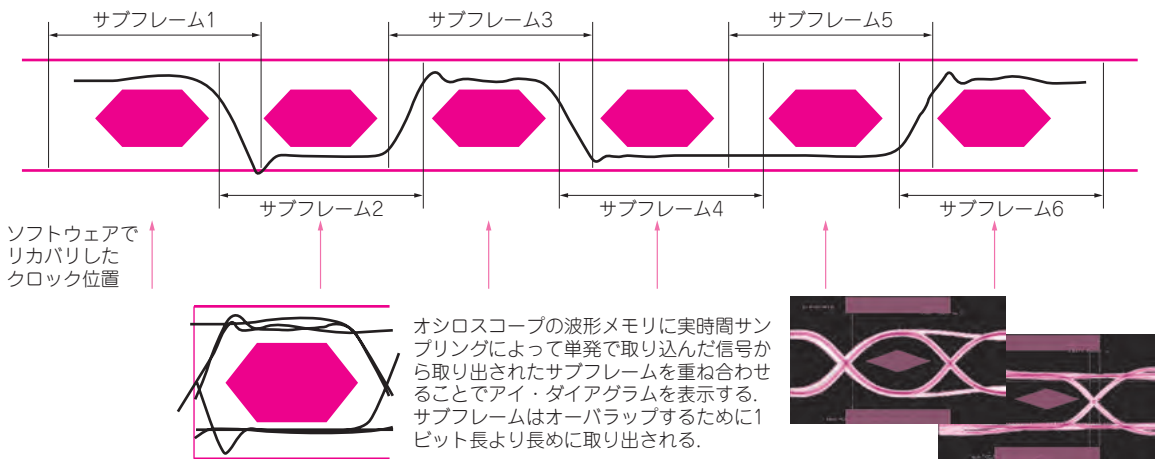
図3.3はアイ・ダイアグラム描画の原理です。アイ・ダイアグラムの表示方法として、以前はリファレンス・クロックやハードウェア・クロック・リカバリ回路でリカバリされたクロックを使用して等価時間サンプリングでアイを連続的に描かせる方法をとっていました。今日ではリアルタイム・オシロスコープを使い、100万UIなどある特定の期間連続したデータを単発で取り込み、ソフトウェアでリカバリしたクロックから波形を1UI+ α ほど重なるように切り出し、重ね合わせて表示する方法が主流です。重ね合わせた際に表示領域のピクセルごとの頻度情報を階調や色で表現します。なお、UI(ユニット・インターバル)とは、データ列の1ビット周期に対応する時間をいいます。



〈図3.1〉アイ・ダイアグラム



〈図3.2〉アイ・ダイアグラム測定に使うリカバリ・データとリカバリ・クロック



〈図3.3〉アイ・ダイアグラム描画の原理

3.3 マスク

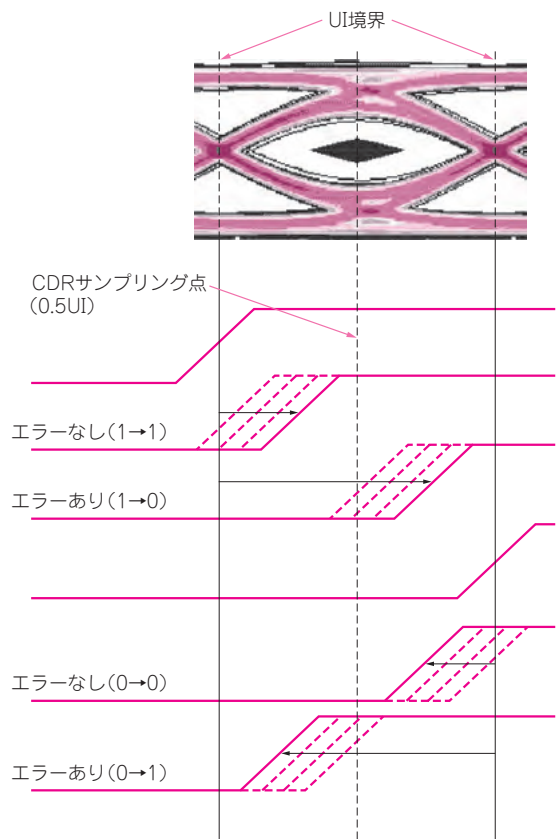
アイ・ダイアグラム測定の際に信号レベル、ノイズおよびジッタ、パルス特性の許容範囲、つまり最悪値(違反ゾーン)を規定した多角形のマスクを使い、アイ・ダイアグラムが許容範囲内にあるか確認、または合否判定する場合があります。

マスクは規格および測定箇所ごとに規定されています。通常は幅2点と高さ2点を規定した「菱形」や幅2点と高さを4点で規定し、菱形のマスクの時間軸方向にジッタ分を加算した「六角形」のマスクが使われています。また、100BASE-Tなどの多値伝送ではいくつもの多角形を組み合わせたマスクや、1000BASE-Tではパルス特性のマスクが使われます。

3.4 ジッタ

過大なジッタがあるとビット・エラーが生じます。図3.4では単純化するためにエッジの位置が0.5UIを越えたらエラーと仮定します。実際はデータ・リカバリのセンス・アンプがウィンドウを持つので幅があります。

UI境界からの右方向へのジッタが0.5UIまでならエラーが生じませんが、0.5UIを越えるとデータ“1”をデータ“0”、またはデータ“0”をデータ“1”と認識し、



〈図3.4〉過大なジッタがビット・エラーを起こす理由

第3章 Appendix

BER値はジッタのみならずノイズも影響する BERとノイズの関係

本文ではBERとジッタの関係について説明しました。ここではBERとノイズの関係について補足します。

1 高速シリアル・インターフェースではBERが二つの意味で使われている

BERとノイズの関係を説明する前に、BERが高速シリアル・インターフェースでは下記二つの意味で使われている点を理解しておく必要があります。

- 実際に転送するデータ・ビット数と転送中に発生するエラー・ビットの比率
- アイ高さとアイ幅によって、ある仕様限界を規定するための基準。

ジッタやノイズの中でもランダムなジッタやノイズの発生頻度は正規分布に従います。そのため、例えば「1兆ビット転送してもエラーの発生を1回許容する」という仕様を考えると、データを受信するために必要なアイ高さとアイ幅によって、ある仕様限界を満たす標準偏差(σ)の係数 Q_{BER} が決まります。つまりBERを規定することで仕様限界値が決まります。逆に仕様限界が決まっていれば、BERによって σ が決まります。後者の考え方は品質管理で知られているシックス・シ

グマ(6σ)とほぼ同じです。

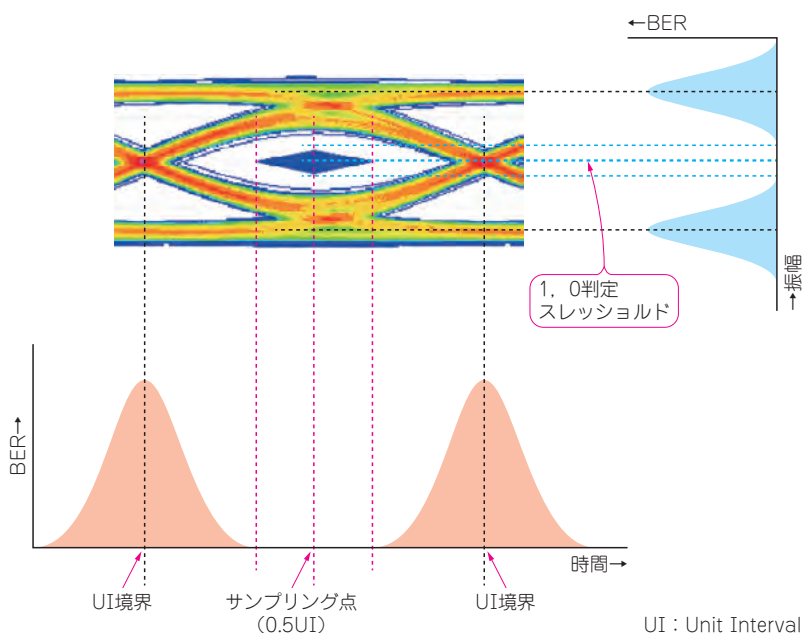
2 BER値はジッタのみならずノイズも影響する

本文ではジッタの中でもランダム・ジッタがビット・エラーを引き起こす(仕様限界を越える)原因であり、他のジッタはビット・エラーを引き起こさないにしても、ジッタ・マージンを低下させるように作用することを説明しました。

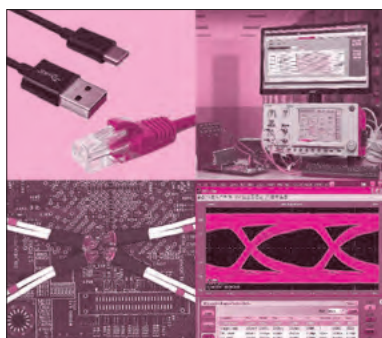
ノイズの中でも回路の熱雑音などが主たる要因で発生するランダム・ノイズが、ジッタに加えてビット・エラーを引き起こす原因となります。ランダムという発生確率が様に思えますが、ここでのランダム・ノイズは、周波数領域で様な電力スペクトルをもち時間領域での発生確率が正規分布するホワイト・ガウス・ノイズ(加法的ガウス雑音: AWGN)です。時間領域では発生確率が正規分布をとります。これを図1に示します。

ノイズは、エッジ部分では時間方向のジッタとして表れます。図2を見てください。

図(a)は元の信号で図(b)はノイズです。図(c)は図(b)のノイズが重畳した図(a)の信号です。ノイズが



〈図1〉
BERはジッタのみならず、ノイズの影響も受ける



第4章 リアルタイム・オシロとサンプリング・オシロ、 必要なソフトウェア、BERT、フィクスチャなど

高速シリアルI/F物理層で 使用する測定器

トランスミッタやレシーバ測定を個々に解説する前に、高速シリアル・インターフェースの物理層測定で使用する主な測定器について紹介します。

4.1 リアルタイム・オシロスコープ

後述する「サンプリング・オシロスコープ」と区別する意味で、ここでは一般的なオシロスコープを「リアルタイム・オシロスコープ」と呼びます。

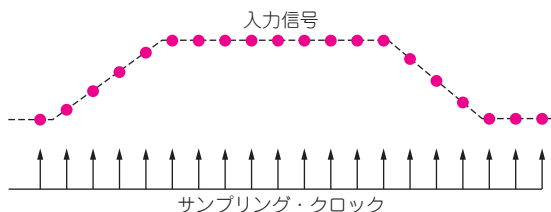
トランスミッタやソース機器のアイ・ダイアグラムやジッタなどの物理層の電気的特性を測定するための中心的なツールは、リアルタイム・オシロスコープ(写真4.1)です。リアルタイム・オシロスコープはデバッグやトラブルシューティング、コンプライアンス・テスト、レシーバ・テストのジッタ校正などに広く利用します。

アナログ技術で実現していた時代のリアルタイム・オシロスコープの周波数帯域は、1 GHzがせいぜいでしたが、デジタル化とその後の半導体技術、信号取り込み技術の進歩により、扱える周波数帯域が飛躍的に高くなり、今日では70 GHzを越える機種も登場しています。単発で捕捉できる信号の周波数はA-D変換のサンプル・レートで決まり、200Gサンプル/秒を越えるサンプル・レートも等価的に実現されています。

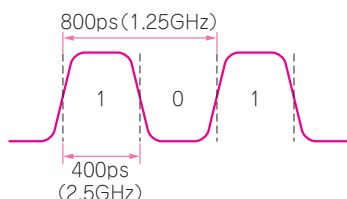
図4.1のように逐次リアルタイムにサンプルが行われることから、リアルタイム・オシロスコープと呼ばれます。200Gサンプル/秒の場合、5ps間隔で信号がサンプルされることになります。よく「分解能=確度」と誤解されますが、サンプルとサンプルの間を補間し分解能を向上させ、確度を向上させています。垂直分解能も同様です。



〈写真4.1〉4チャンネル20 GHz帯域100Gpsps
の性能を持つリアルタイム・オシロスコープ
MSO72004C型(テクトロニクス社)



〈図4.1〉リアルタイム(実時間)サンプリング方式による波形取り込み



〈図4.2〉NRZで一番速い繰り返しパターン

4.1.1 観測に必要なオシロスコープの周波数帯域

高速シリアル・インターフェースを観測するには、どの程度の周波数帯域のオシロスコープを使用したら良いのでしょうか？

● 基本は5次高調波まで観測できる周波数帯域

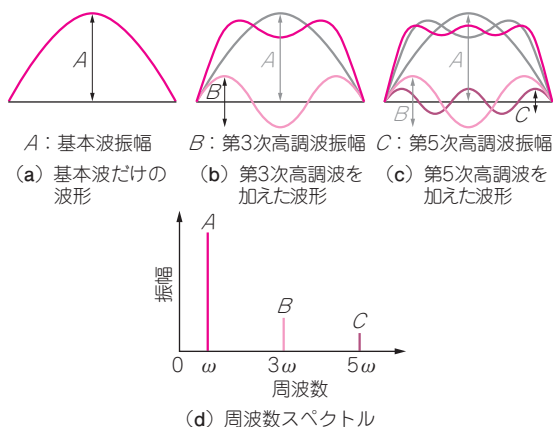
ここで紹介しているシリアル・インターフェース規格の多くの伝送形式は、NRZ(Non Return to Zero)でデータを転送します。NRZではデータ・レートで規定される1UIの時間にわたり信号が“0”または“1”を維持します。その結果、一番速い繰り返しパターンは1ビットごとに“0”と“1”が交互に繰り返される“0101…”で、その周期は1UIの2倍、周波数はデータ・レートの半分となります。例えば図4.2に示すように2.5Gbpsであれば、1UI = 400psで繰り返し周期は800psなので“01”のクロック・パターンの繰り返しレートは1.25 GHzの方形波となります。

シリアル・インターフェースで伝送される信号は方形波です。話を簡単にするために、教科書どおりの方形波で考えてみます。方形波を周波数領域で見ると、図4.3のようにその繰り返し周波数を基本とする基本波とその奇数次高調波で構成されています。

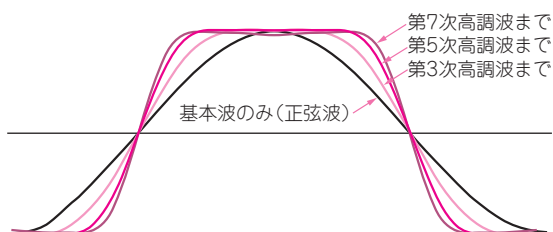
つまり2.5Gbpsのクロック・パターンの基本波は1.25 GHzであり、奇数次高調波成分として3次の3.75 GHz、5次の6.25 GHz、7次の8.75 GHz、…が重畳しています。高調波成分の振幅は、次数が高くなるにつれ小さくなります。結果として、どこまでの次数の高調波までをオシロスコープで捕捉するかが周波数帯域選択のキーとなります。

● 周波数帯域と立ち上がり時間の関係

一般的には第5次高調波までの捕捉を基本とします。



〈図4.3〉方形波は基本波と奇数次高調波によって構成されている



〈図4.4〉方形波の立ち上がり時間によって含まれる高調波次数が異なる

しかし、実際には信号の持つ立ち上がり時間を考慮する必要があります。信号に含まれる高調波次数が高くなるにしたがって、信号の立ち上がりが急峻になってきます。つまり立ち上がり時間が速い、すなわち立ち上がりが急峻になればなるほど、図4.4のようにそれだけ高い周波数成分を持つことになります。逆に立ち上がりが遅ければ、それだけ含まれる周波数成分は低くなります。したがって周波数帯域は立ち上がり時間に大きく影響するので、繰り返しレートのみならず、立ち上がり時間も考慮して、周波数帯域を決めなければなりません。

周波数帯域と立ち上がり時間の関係は、周波数帯域と立ち上がり時間の積($f_{BW}t_r$)で与えられ、一つの目安として実効周波数帯域として知られた値0.35があります。最近では方形波の高調波成分が急速に減衰する点として「ニー周波数」⁽¹⁾があり、立ち上がり時間 t_r に対する値として0.5が使用されます。

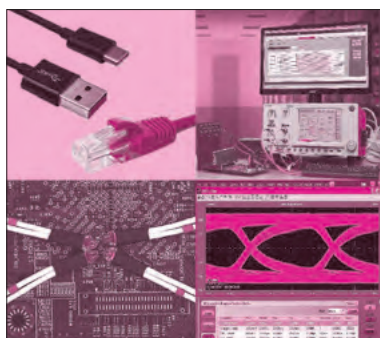
$$f_{BW} = \frac{0.35}{t_r} \dots\dots\dots \text{実効周波数帯域}$$

$$f_{knee} = \frac{0.5}{t_r} \dots\dots\dots \text{ニー周波数}$$

ただし、 t_r : 10 ~ 90 %立ち上がり時間

● アナログ・オシロスコープとデジタル・オシロスコープの特性の違い

アナログ時代のオシロスコープは、図4.5(a)にあ



第5章 コンプライアンス・テスト、テスト・パターン、 トランスミッタ/ソース測定、レシーバ/シンク測定

高速シリアル・ インターフェースの測定

5.1 コンプライアンス・テストについて

近年の高速シリアル・インターフェース規格の傾向として、業界で規格標準化を目指した推進団体を立ち上げることが特徴です。例えばUSBはUSB-IF、PCI ExpressはPCI-SIG、DisplayPortはVESAといった団体が代表的です。

規格団体では、物理層の電気的特性やプロトコルなどの規格を策定し、仕様書を発行するのみならず、規格準拠の確認/テスト方法も規定することが挙げられます。規格準拠のテストは「コンプライアンス・テスト」と呼ばれ、その方法を記述した文書は、一般的にCTS(規格認証試験仕様)と呼ばれます。CTS発行後、計測器ベンダが自社のツールでどのような手順で測定するかをCTSに基づき記述した文書であるMOI(試験手順書)を作成します。

公式のコンプライアンス・テストは、標準規格団体が年に数回開催している「プラグ・フェスタ」と呼ばれるイベントで受けることができます。なお、名称は規格団体によりさまざまです。プラグ・フェスタでは、

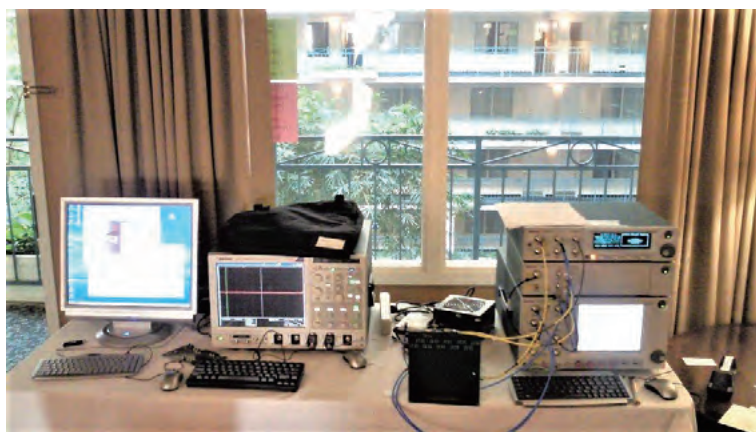
現在開発中の機器を持ち込んで、すでに規格適合が確認されている装置と実際に接続してインターオペラビリティ(相互運用性)を確認できるほか、ほとんどの規格団体では認証テストを同時に受けることができます。さらに規格が固まる前にはFYI(For Your Information)として、参照テストを開催する場合もあります。規格策定後には規格団体から認定された民間テスト・ハウスによる認証試験も受けられます。

写真5.1はPCI Expressのコンプライアンス・イベント“Compliance Workshop”(2012年)のようすです。

コンプライアンス・テストは、規格によっては、規格団体の方針で製品出荷、とくに認証取得品のリストに掲載したり、認証ロゴを貼付するためには、必ず受ける必要があります。ただし、多くの規格では、必ずしもコンプライアンス・テストを受ける必要はありません。しかしながら、認証取得品であることをマーケティング活動で利用する場合はもちろんですし、製品品質や設計品質保証の観点からコンプライアンス・テストを受けておく、またはコンプライアンス・テスト相当の評価はしておくべきです。



(a) 入口の掲示



(b) 用意された試験セット

〈写真5.1〉PCI Expressのコンプライアンス・イベント“Compliance Workshop”(米国カリフォルニア州ミルピタス市のミルピタス市のEmbassy Suites by Hiltonにて2012年撮影)

5.2 テスト・パターン

測定では、実際にトランスミッタとレシーバ間でリンクされている状態を流れるデータではなく、規格が指定するテスト・パターンを使います。データ・パターンが異なる、例えば8B/10B符号化の場合、同じビットが継続するのは最大5ビットですが、PRBS7では7ビットであり、データ・パターンの持つ周波数帯域の広がり異なります。また、通常テスト・パターンのデータ遷移密度は50 %ですが、PCI Expressのコンプライアンス・パターンのデータ遷移密度は75 %であり、影響を受けないPLLもありますが、ループ帯域が変わる恐れがあります。

これらの違いにより、信号に含まれるジッタ周波数によっては測定結果が異なることがあるので注意が必要です。表5.1と図5.1は実際にパターンを変えて、結果がどう変わるかを比較したものです。8B/10BのPCI Expressのコンプライアンス・パターン、USB3.2 5 GbpsのCP0はTIEがそれほど変わりませんが、PRBSでは段数が増えるに従い、低周波成分が増えるため、TIE(p-p)が大きくなることがわかります。

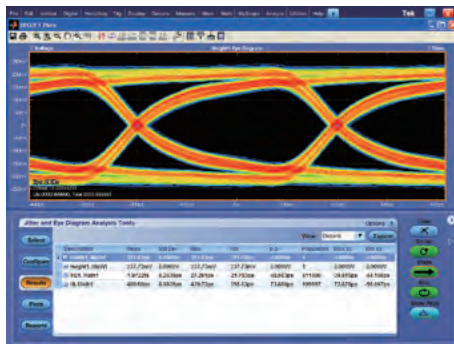
測定目的によって、複数のパターンを使い分ける規格が多く、指定されているパターンを使用します。規

格によって、USB3.2やPCI Expressのように、これらのテスト・パターン生成をチップへ搭載するよう義務付けられている場合は発生が簡単ですが、1000BASE-Tのようにレジスタを設定しないと出力されなかったりする場合もあります。また、出荷時にレジスタをマスクしてテストできないケースもあります。そういう場合には、トランシーバのループバック機能を使って、外部の信号発生器からテスト・パターンをレシーバに入力し、トランスミッタから折り返し出力させる必要があります。

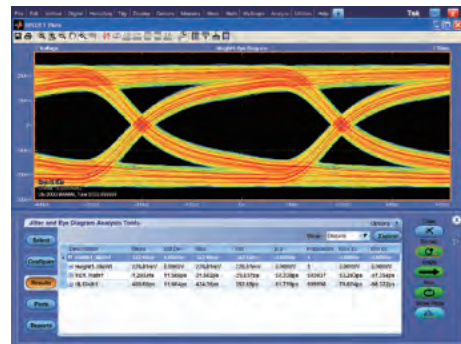
テスト・パターンの切り替えも、トランスミッタと同じポート内のレシーバにバースト状の低周波信号を



(a) Compliance Pattern



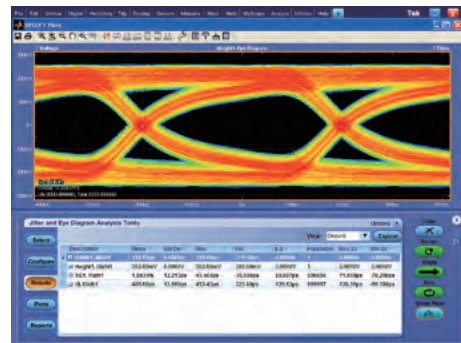
(b) CP0



(c) PRBS7



(d) PRBS11



(e) PRBS15

〈図5.1〉表5.1の各条件におけるアイ・ダイアグラム

技術解説



第6章 最新規格の全貌を知り、現実の信号を見る

USB インターフェースの基礎と測定 / 観測例

第1部では「はじめての高速シリアルI/F測定」と題して身近にある代表的なシリアル・インターフェースである、USB、PCI Express、Ethernetについて解説しました。

さきに要約しか触れることができなかったUSBインターフェースについて、さらに詳しく述べるとともに、実際の測定例についても紹介していただきます。なお、記事としての一覧性を考慮し、一部の記述や図表は第1部のものを再掲しました。

〈編集子〉

1 規格の変遷と概要

1.1 USB2.0からUSB3.0への歩み

USB(Universal Serial Bus)は、パソコンと外部周辺機器との接続用インターフェースとして、もっとも普及したインターフェースの一つです。パソコンのみならずデジタル家電機器にも広く普及しています。

● USB1.0, 1.1, 2.0

1996年にUSB-IF(USB Implementers Forum)から最初の規格が公開されました。当初はLow-Speed(1.5 Mbps)/Full-Speed(12 Mbps)の2種があり、マ

〈表1〉USB1.0, 1.1, 2.0規格の概要

規格バージョン	USB1.0/1.1※1		USB2.0	USB3.0	USB3.1	
					Gen1	Gen2
規格策定期間	1996年1月		2000年4月	2008年11月	2013年7月	
名称	LS : Low-Speed	FS : Full-Speed	HS : Hi-Speed	SS : SuperSpeed		SSP : SuperSpeed Plus
データ・レート(1レーン)	1.5 Mbps	12 Mbps	480 Mbps	5 Gbps		10 Gbps
データ信号(差動)						
D+ /D-	1組2本					
SSTx+ /SSTx-, SSRx+ /SSRx-	(なし)			2組(4本)		
通信方式	半二重による双方向			双対単方向※4		
符号化	NRZI(Non-Return to Zero Inversion) +ビット・スタッフィング※2			8b/10b		128b/132b
ケーブル長	3 m (18 ns 遅延)	5 m(26 ns 遅延), Type-Cでは4 m		3 m(6 dB@2.5 GHz, Standard-A～ Micro Bでは1 m, Type-Cでは2 m)		1 m (6 dB@5 GHz)
Txイコライザ	なし			ディエンファシス (2タップ)		ディエンファシス+プ リシユート(3タップ)
Rxイコライザ	なし			CTLE		CTLE+1タップDFE
後方互換性	あり			あり※3		
コネクタ	Standard-A, Standard-B, Type-C, Mini-B, Standard-A, Standard-B			Standard-A, Standard-B, Type-C, micro-A, micro-B, micro-AB		
最大給電能力	2.5 W, USB BC : 7.5 W, USB PD : 100 W※5			4.5 W, USB BC : 7.5 W, USB PD : 100 W※5		

注▶※1: 現在USB1.0/1.1はUSB2.0規格に統一されている。 ※2: Non Return to Zero Inversion: "0"を送る時に状態を反転, "1"を送る時は保持, ビット・スタッフィング: "1"を6ビット送ったら反転する。 ※3: 後方互換性はデュアル・パスで実現, USB2.0(最低HS/FS/LSのうち一つ)をサポートすること。 ※4: ダウン・リンク, アップ・リンクで専用の片方向通信路を持つ双対単方向伝送(デュアル・シンプレックス)。 ※5: 2022年5月に策定されたUSB PDリリース3.1から, 従来の100 WまでをSPRモード(Standard Power Range)とし, 240 Wまで拡大可能なEPRモード(Extended Power Range)として, 28/36/48 Vが追加された。

[見本] 低解像度

〈表2〉USB3.0, 3.1, 3.2規格などの概要

規格バージョン		USB3.2				USB4	
		Gen1		Gen2		Gen2	Gen3
規格策定期間		2017年9月				2019年8月	
名称		SuperSpeed USB	－	SuperSpeed USB 10 Gbps	SuperSpeed USB 20 Gbps	USB4 20 Gbps	USB4 40 Gbps
データ・レート	最大	5 Gbps	10 Gbps	20 Gbps	20 Gbps	40 Gbps	
	1レーンあたり	5 Gbps		10 Gbps		10 Gbps	20 Gbps
	レーン数	1	2	1	2	2	
データ信号(差動)	D+ /D－	1組(2本)					
	SSTx+ /SSTx－	1組(2本)	2組(4本, Type-C)	1組(2本, Type-C)	2組(4本, Type-C)		
	SSRx+ /SSRx－	1組(2本)	2組(4本, Type-C)	1組(2本, Type-C)	2組(4本, Type-C)		
通信方式		双対単方向※2					
符号化		8b/10b		128b/132b		64b/66b	128b/132b
誤り訂正		なし		なし		RS(198, 194)	
ケーブル長		Standard-A～Standard-B：3 m, Standard-A～micro-B：1 m, Type-C～Type-C：2 m		1 m (6 dB@5 GHz)		2 m (12 dB@5 GHz)	1 m (7.5 dB@10 GHz) 2 m (LRD ケーブル※4)
Tx イコライザ		2タップ (ディエンファシス)		3タップ(ディエンファシス+プリシュート, 1セット固定)		3タップ(ディエンファシス+プリシュート, 16プリセットから選択)	
Rx イコライザ		CTLE		CTLE(DCゲイン7段) + 1タップDFE		CTLE(DCゲイン10段) + 1タップDFE	
後方互換性		あり※1				あり※3	
コネクタ		Standard-A, Standard-B, Type-C, micro-A, micro-B, micro-AB				Type-C	
最大給電能力		×1：4.5 W, ×2/USB BC：7.5 W, USB PD：100 W※5				USB4/USB BC：7.5 W, USB PD：100 W※5	

注▶※1: 後方互換性はデュアル・バスで実現。USB2.0(最低HS/FS/LSのうち一つ)をサポートすること。※2: ダウン・リンク、アップ・リンクで専用の片方向通信路を持つ双対単方向伝送(デュアル・シンプレックス)。※3: ネイティブ・モードでUSB3.2をサポート。※4: Linear Redriver Cable(アクティブ・ケーブル)。※5: 2022年5月に策定されたUSB PDリリース3.1から、従来の100 WまでをSPRモード(Standard Power Range)とし、240 Wまで拡大可能なEPRモード(Extended Power Range)として、28/36/48 Vが追加された。

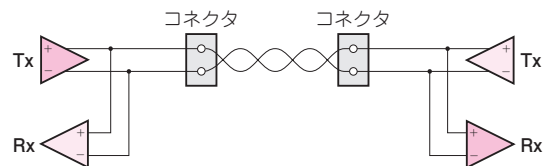
〈表3〉USB2.0物理層とUSB3.0物理層の違い

項目	High-Speed (USB2.0)	SuperSpeed (USB3.0)
データ・レート	480 Mbps	5.0 Gbps
SSC	なし	必須
信号線	・2線 ・差動1対 ・TxとRxで同一線を使用 ・1双方向リンク	・4線 ・差動2対 ・Txで2線, Rxで2線 ・双対単方向伝送
DC/AC結合	DC結合	AC結合(送信端)
符号化	NRZIエンコーディング+ビット・スタッフィング※	8B/10B符号化+スクランブル

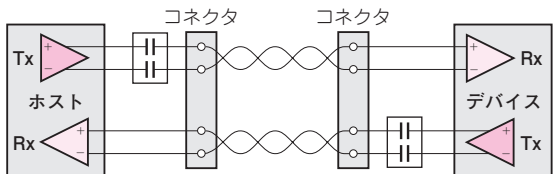
注▶SSC: Spread Spectrum Clock

ウスやキーボード用のPS/2インターフェース、プリンタのセントロニクスやIEEE 1284、外部ストレージのSCSIなどを置き換えるものでした。

その後、フラッシュ・デバイスの台頭により、フロッピー・ディスクに代わるストレージ・メディアとしてUSBメモリが普及するなど、時代が必要とする高速化に対応すべく、USB2.0では40倍高速化したHigh-Speed(480 Mbps)が追加されました。高速化により、



(a) USB2.0



(b) USB3.0

〈図1〉USB2.0とUSB3.0の信号線の違い

スキャナやデジタル・カメラ、プリンタなど多くの周辺機器でパソコン接続用に普及が進みました。

これらを表1に示します。

● USB3.0

パソコン用としては現在の主流は2008年に規格が

Type-Cコネクタ&ケーブルによる普及が進む 受給電インターフェースとしてのUSB PD

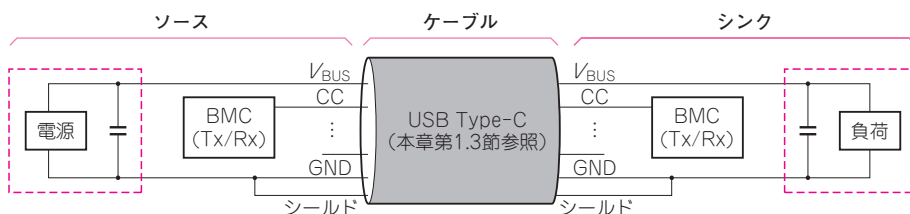
■ 給電機能がUSBの普及を促進した

USBは給電機能を持たせたことにより、広く普及したといっても過言ではないでしょう。USB2.0で5V/500 mA、USB3.0からは5V/900 mAに拡大しましたが、モバイル機器の台頭により、充電のニーズが高まり、受給電の規格も別途策定しました。

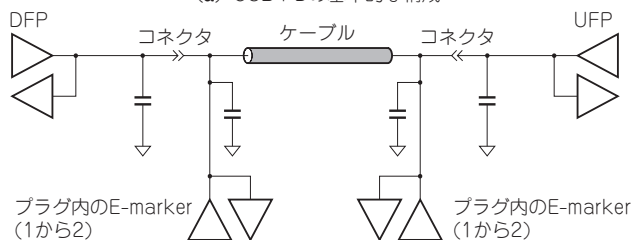
2007年に策定されたUSB BC (Battery Charging)仕様では7.5W (5V/1.5A) まで給電可能になりました。その結果、DCコンセントとしてのUSB用途が広まりました。写真1は空港待合室のベンチに設置された例です。航空機のシートにもDCコンセントとしての給



〈写真1〉 米国の空港で見かけた出発ゲート付近のベンチ・シート



(a) USB PDの基本的な構成



(b) BMCシグナリングの接続(最大4ノード)

〈図1〉 USB PDの構成



〈図2〉 USBパワー・ルール

Type-Cコネクタによって共存を狙う次世代高速シリアル・インターフェース USB4とThunderbolt 3

Thunderboltの来歴

Thunderbolt Technology(以下TBT)は、USBと同様に、PCと外部周辺機器間をケーブルで接続し、デジタル家電レベルで10 Gbps超を実現するマルチ・プロトコルのインターコネクト技術としてIntel CorporationとApple Inc.によって開発されました。

2011年2月に発表されたMacBook Proに突然搭載されて登場しました。第1世代と第2世代はMini DisplayPortコネクタを共用していましたが、第3世代のTBT3からはUSB Type-Cコネクタに変更され、同時に物理層データ・レートも1レーンあたり約20 Gbps(正確には20.625 Gbps)にアップし、2レーン合計で約40 Gbps(正確には41.25 Gbps)に対応しています。特徴を表1にまとめました。

データと画像に共通な高速インターフェースをトンネリングで実現

図1はTBTでホストとペリフェラルを接続する場合のThunderbolt物理層と各種プロトコルの関係を表しています。TBTは、機能分散と高品位なグラフィックスの実現を目指し、データと画像にそれぞれ一つずつプロトコルをサポートしており、前者としてPCI Express、後者としてDisplayPortが選ばれています。両者ともどもさまざまなプロトコルに橋渡しすることができ、例えばPCI ExpressではUSB3.1, Ethernet, SAS/SATA, FireWire(IEEE1394)などです。またDisplayPortではデュアル・モード(DisplayPort++)のサポートでHDMIやDVIに接続できます。ただしTBT3からはDisplayPort++モードのサポートはなくなりました。

TBTでは、この両者のパケットをThunderboltの

パケットとしてプロトコル的にトンネリング(内包)する技術として実現しています。トンネリングとは元のパケットをTBTのパケットで包み込むようなイメージです。元々はプロトコル的に別の規格でありながら共通的なパケットとして混載し伝送します。

TBT3は本稿執筆時点では、インテル社のTBTコントローラによってホスト側もデバイス側も対応します。TBT3第2世代コントローラのTitan Ridgeでは、PCI ExpressはGen3(8 Gbps)、DisplayPortは1.4でかつHBR3(8.1Gbps)のトンネリングをサポートしています。

Type-Cコネクタの採用によって、USBのオルタナート・モードでUSBと共存

TBT3は、ネイティブのUSB3.1 Gen2とDisplayPortをサポートしています。ネイティブとはUSB3.1 Gen2とDisplayPortの物理層サポートであり、TBT3のUSB Type-Cコネクタに直接USB3.1 Gen2やDisplayPortのデバイス/シンク機器を接続できることを意味します。ただし、DisplayPortはオルタナート・モード(互換モード)の下でサポートされます。

周辺機器とのケーブル接続に使用されるため、USBと比較されることが多いTBTですが、Type-Cコネクタを採用し、本誌No.47で紹介したUSBのオルタナート・モードでサポートされることで、USBと共存するようになりました。

表2はUSB3.2, USB4, Thunderbolt 3の比較です。

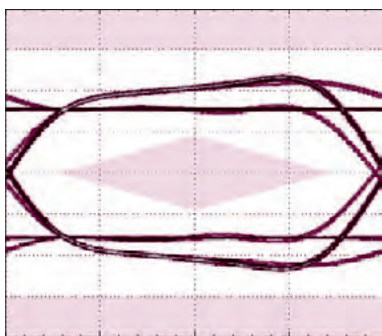
USB4/TBT3トランシーバが登場するか?

TBT3はクローズドな規格であり、唯一インテル社がサポートしているチップを製造/販売しており、製品への搭載には開発ライセンスが必要となるため、機

〈表1〉Type-Cコネクタを採用したThunderbolt Technology 3の特徴

特 徴	説 明
データと画像のプロトコルを同時にトンネリング	●データ・プロトコルはPCI Express 3.0、画像プロトコルはDisplayPort 1.4 ●ブリッジ経由で様々な他のプロトコルに変換可能
10.3125 Gbps×2チャンネル、または20.625 Gbps×2チャンネルの双対単方向伝送	●チャンネル・アグリゲーションによって転送レート20.625 Gbpsまたは41.25 Gbps
ネイティブ、オルタナート・モードでのマルチファンクション対応	●Thunderbolt 3, USB3.1 Gen2 (10 Gbps), USB2.0, DisplayPort1.4 (8.1 Gbps), マルチファンクション(USB3.1/DisplayPort)に対応
USB Type-Cコネクタのすべての恩恵を享受	●接続性 ●100 W までスケーラブルな電源(USB PD)

技術解説



第7章 各種アドイン/グラフィック・カード、USB、SSD、SD、CFカードなどに広がるI/F

PCI Expressの基礎知識と測定例

1 PCI Expressの基礎知識

1.1 はじめに

PCI Expressは、2002年7月にパソコンとその周辺拡張用であるPCIバスに置き換わる汎用インターコネクタ技術として、標準規格団体PCI-SIG(Peripheral Component Interconnect - Special Interest Group)により規格化された、今日もっとも普及したインターフェースの一つです。

そのエコ・システムの恩恵を被るべく、パソコンのみならず、多くの機器で標準的に採用されるようになりました。

● 各世代の仕様

PCI Expressの各世代の仕様を表1にまとめました。最初の世代は2.5 GT/s、その後は5 GT/s、そして8 GT

/s、16 GT/sと高速化を図ってきました。最新規格は2021年12月に公開された第6世代(64 GT/s)です。ただし現在の市場は第4世代が普及し始めた段階です。

なお、PCI Expressではデータ・レートをTransfer/secondの意味で“T/s”と表します。これはbps(bit/second)と同じ意味であり、2.5 GT/sで1レーンの伝送速度は2.5 Gbpsです。

PCI Expressは、ルート・コンプレックスをトップとしたエンド・ポイント間のポイント・ツー・ポイント接続で双方向伝送のバス・トポロジ(図1)を持ち、CPUを中心にCPUとそのチップ・セットであるPCH(Platform Controller Hub)、CPUやPCHが直接サポートしていないインターフェースへのブリッジ・チップ、拡張用などパソコン内部のDRAM以外のあらゆるデバイスとの接続で使用されています。

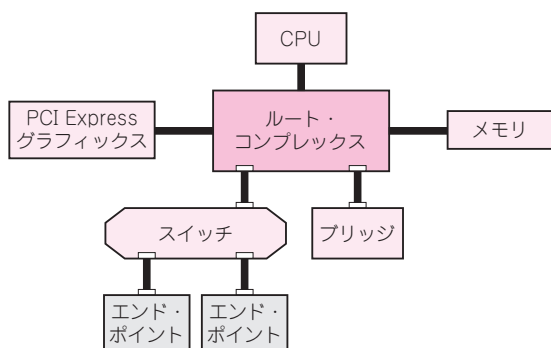
● 第6世代ではPAM4を採用して64 GT/sを実現

PCI Expressの大きな用途の一つとしてCPUとグ

〈表1〉PCI Express各世代の仕様

世代	第1世代	第2世代	第3世代	第4世代	第5世代	第6世代
規格バージョン※1	1.0/1.0a/1.1	2	3.0/3.1	4	5	6
規格策定期間	2002年7月	2006年12月	2010年11月	2017年10月	2019年5月	2021年12月
データ・レート	2.5 GT/s	5 GT/s	8 GT/s	16 GT/s	32 GT/s	64 GT/s※5 (PAM-4)※6
レーン数	1, 2, 4, 8, 12, 16, 32 (CEM/External Cable : 1, 4, 8, 16, OCuLink : 1, 2, 4)					
符号化	8B/10B		128B/130B			FLIT※8
想定チャンネル						
基板伝送(Base Specification)	最長50 cm※2			最長30 cm※3, ※4		
ケーブル(External Cable Specification)	最長7 m		-		-	-
ケーブル(OCuLink)	1 ~ 2 m				-	-
イコライザ						
トランスミッタ	ディエンファシス(2タップ)		ディエンファシス+プリシュート(3タップ)			※7
レシーバ	未使用		CTLE + 1 タップ DFE(オプション)	CTLE + 2 タップDFE	CTLE + 3 タップDFE	CTLE + 16 タップDFE

注▶※1：下位の規格を含む。規格バージョンがデータ・レートを意味しない。※2：コネクタが途中に入るCEM(Card Electrical Mechanicals)規格では、マザーボード側30 cm、アドイン・カード11 cm。※3：1コネクタ、アドイン・カード10 cmを含む。※4：32 GT/sは低損失素材の基板を使用。あるいは-36 dBを超える場合はリタイマを使用。※5：シンボル・レートは32 Gsymbol/sec。※6：PAM-4：Pulse Amplitude Modulation with 4 levels。※7：ディエンファシス+2プリシュート(4タップ)。※8：FLIT：Flow Control Unit。データ242バイトに対してCRCを8バイトとECC(Error Correction Code)を6バイト付加し転送する。



〈図1〉PCI Expressのバス・トポロジ

グラフィック・カード間のデータのやりとりがあり、必要とされるデータ帯域を確保すべく、パソコンでは16レーンで接続されています。今日ではグラフィック・プロセッサ(GPU)は、グラフィック・エンジンとしてだけでなく、シミュレーション、深層学習、AIなどの演算用アクセラレータとしても使用されます。そこではデータ帯域がいくらあっても足りないといわれています。そういった背景もあり、第4世代の策定に続いて、第5世代が策定されました。さらに第6世代は64 GT/sになりました。

第5世代までは信号形式として“0”と“1”の2値を伝送するNRZでしたが、第6世代は“00”“01”“10”および“11”の4値を伝送するPAM4(Pulse Amplitude Modulation 4)を採用することで、NRZと同じシンボル・レートの32 GBaudでありながら、2倍の64 GT/sデータ・レートを実現できます。

パソコンではアドイン・カードとしてスロット・コネクタとエッジ・カードの組み合わせで拡張されますが、高速化に伴い、伝送される信号がより高周波数化されることで、伝送路の損失の影響をより大きく受けるために、アドイン・カードとのコネクタは後方互換性を保ちながら性能を高め、レシーバ・イコライザの特性を改善したり、リピータを入れたりします。また第5世代からは低損失素材の基板も使われたりします。

● ストレージ・デバイス的高速インターフェース

さらにPCI Expressは、HDDからSSDへの移行がSATAからの移行を牽引しています。SATAは元々HDDや光学ディスク用として規格化されており、信号線も上り下り各々1本(差動2レーン)だけです。SSDで要求される広帯域には追従できません。代表的な規格がM.2やU.2で、各々PCI Express 2レーン(×2)や4レーン(×4)ですが、よりレーン幅が広いアドイン・カードにそのまま接続できるSSDもあり、PCI Expressのスケラブルなデータ帯域幅の恩恵を被ることができます。

またSDカードやCompactFlashカードでもSD Exp

ressやCF ExpressなどPCI Expressを採用し始めています。

● FPGAにもハードウェア・マクロとして搭載

FPGAは産業用途の組み込み機器で使うことが多いですが、今日ではハードウェア・マクロとしてPCI Expressを標準搭載しているFPGAも高性能クラスのみならず汎用クラスでも当たり前になりました。

これらはアプリケーション用のI/Oとしてのみならず、JTAGなどに代わる高速プログラミング・ダウンロード用としても使用できます。

以上のように今日ではPCI Expressはコモディティ化し広がっています。

■ 1.2 特徴

● スケラブルなデータ・レート

世代を追うごとに2.5 GT/s、5 GT/s、8 GT/s、16 GT/s、そして32 GT/sとデータ・レートの高速化を図っています。

世代間では後方互換性が確保されています。すべてのPCI Expressデバイスは、いったん2.5 GT/sで起動し、リンクします。その際にリンク・パートナー間でお互いサポートしている物理層のデータ・レートをリンク間で最初に転送されるトレーニング・シーケンス内で確認し合い、その後、レーンを一度落とし、リンク間でサポートできる最高のデータ・レートで再起動するようなメカニズムを導入しています。

● スケラブルに拡張可能なレーン数

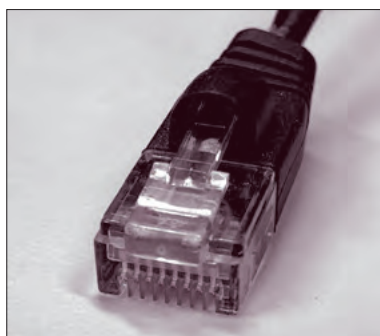
レーン幅として×1、×2、×4、×8、×12、×16、×32が規定されています。×を英語では“by”と発音します。図2で示すようにリンク間のレーン数は同じである必要はなく、少ないレーン数に合わせてリンクします。リンクの順序が逆であっても構いません。また差動極性もリンク間で一致している必要はなく、信号配線を交差させる必要がありません。

前述のトレーニング・シーケンスでリンク間の接続可能なレーン数、順序を最初に確認します。図3は×16の例で、トレーニング・シーケンスでリンク間の接続可能なレーン数、順序、極性判定を最初に確認しています。

● 多彩なフォーム・ファクタ

コネクタの形状やピン配置、さらに基板であればその寸法も含めて「フォーム・ファクタ」と呼ばれます。前述したM.2やU.2、拡張用に使用されるアドイン・カード(CEM)がその一例で、PCI-SIGで規格化されています。PCI-SIG以外にもさまざまな標準規格団体から支持されており、表2と図4(p.109)に示すように多様なフォーム・ファクタが登場しているのもPCI Expressの特徴です。

フォーム・ファクタ以外にも不揮発性ストレージ・



第8章 オフィス、家庭、産業機器や車載 まで広範囲に普及した高速ネットワークI/F

Ethernetの基礎と観測例

1 Ethernetの基礎知識

1.1 概要

Ethernetは、オフィスから家庭の近距離のLAN (Local Area Network) は元より、都市内のMAN (Metropolitan Area Network)、さらに都市を越えて郊外、県外や国際間のWAN (Wide Area Network) まで取り込んで、広範囲に使用されている有線コンピュータ・ネットワーク規格です。近年ではそのエコ・システムの恩恵を被るべく産業機器や車載インターフェースにも応用されています。

1.2 歴史

Ethernetは、1970年代初頭に米国ゼロックス社のパロアルト研究所で開発され、特許登録されました。しかし、後にオープンな規格として開放され、1980年に米国電気電子技術者協会IEEEによって、“Ethernet 1.0”規格が公開されました。現在、普及しているEthernetは、1982年に提案された“Ethernet 2.0”を基にして、1983年に“IEEE 802.3 CSMA/CD”として策定された仕様です。

IBM社が開発しIEEE802.5で規格化された“Token Ring”などが当初はLANとして登場しましたが、現在LANといえば、Ethernetと同義であるほど普及しています。

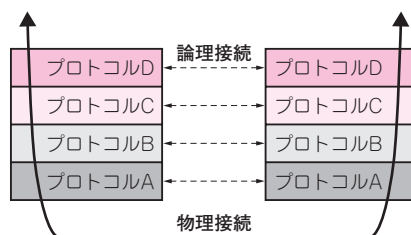
1.3 階層的なプロトコル・スタック構成によって物理層を含む各階層の自由度が高い

多くのインターフェースは、階層化されたプロトコル・スタックを持ちます。下位の階層の変更が上位階層に影響がないように分離しており、下位階層が異なっても機能するようになっていきます。それゆえ、新しい規格が次々に登場し、進化し続けています。

とくにEthernetは、業界共通のネットワーク標準によるマルチベンダでの相互運用性の確立を目指して作成されたOSI (Open Systems Interconnection) 参照モデル (図1) を採用しています。OSI参照モデルはISO (国際標準化機構) とITU-T (国際電気通信連合電気通信標準化部門) によって策定された7階層のプロトコル・スタック・モデルです。この中でEthernetは、レイヤ1の物理層とレイヤ2のデータ・リンク層に関する規定です。

物理層は規格によりまったく異なり、電気のみならず、光や無線 (WLAN: IEEE802.11 委員会の担当) まであります。電気では伝送媒体としてツイスト・ペア・ケーブルや同軸ケーブル、バックプレーンがあり、伝送形式も2値のみならず多値伝送があります。光ではシングル・モード・ファイバ、マルチ・モード・ファイバ、長波長、短波長、波長多重 (WDM) など、同じEthernetの規格かと思えるほどさまざまな伝送方式が採用されています。それでも上位層とは分離されているため、さまざまな物理層のネットワークがシステム内に混在してもEthernetとして機能します。

〈図1〉階層化されたプロトコル・スタック
とOSI参照モデル



(a) 階層化されたプロトコル・スタック

レイヤ7: アプリケーション層
レイヤ6: プレゼンテーション層
レイヤ5: セッション層
レイヤ4: トランスポート層
レイヤ3: ネットワーク層
レイヤ2: データ・リンク層
レイヤ1: 物理層

(b) OSI参照モデル

10G BASE-C X 4

数値	データ伝送速度	記号	伝達媒体や波長	記号	符号化	数値	レーン数やペア数など
1	1Mbps	T	ツイスト・ペア (Twisted pair)	なし	符号化なし	なし	1
10	10Mbps	E	1550nm光 (Extra long wavelength/ Extend Reach)	X	4B5B, 8B10B (EXternal sourced coding)	2	2
100	100Mbps	L	1310nm光 (Long wavelength/Long Reach)	R	64B66B (Scrambled coding)	4	4
1000	1Gbps	S	850nm光 (Short wavelength/Short Reach)	P	PAM-4 (未使用)	10	10/10km
2.5G	2.5Gbps	F	850nm光(Fiber)	W	SONET (WAN compatible)		
5G	5Gbps	C	シールド・ケーブル (twin axial copper cable)				
10G	10Gbps	D	データ・センター (Datacenter)				
25G	25Gbps	K	バック・プレーン (backplane)				
40G	40Gbps	2	最大185m同軸				
100G	100Gbps	5	最大500m同軸				
200G	200Gbps	36	最大3600m同軸				
400G	400Gbps						

- 現在IEEEでは記号の持つ意味については規定していない
- 記号の組み合わせの持つ規格名称が継続される保証はない

〈図2〉 Ethernet規格名に含まれる文字記号の意味

さらに今日では、電気や水道と同様に社会的インフラを形成するほど普及しているといっても過言でないでしょう。そのため、規格の全容を把握するのが困難なほど、多くの標準規格化団体や業界団体が関連しています。

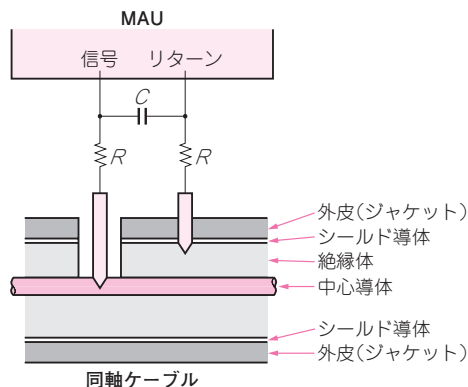
1.4 1GbE(Gigabit Ethernet)までの主流はツイスト・ペア・ケーブルを使用するxxBASE-T

図2はEthernetの各規格名に含まれる文字記号の意味を便宜的に説明したものです。ただし現在IEEEでは、それぞれの文字記号が持つ意味については規定していません。また、文字記号の組み合わせがもつ規格名称が継続される保証はありません。

● 初期の同軸ケーブルによる接続

LANの初期には同軸ケーブルによる接続が主流で、Ethernetでは10BASE-5や10BASE-2として規格化されました。物理的な接続は、10BASE-5では外径10mm程度の太い同軸ケーブルの両端にNコネクタを装備しており、当初はイエロー・ケーブルと呼ばれる黄色のものです。その側面に穴を開けて(タップして)、MAU(Media Attachment Unit)の短針を図3のように中心導体に接触させていました。

また、細い同軸ケーブルを使う10BASE-2では、BNCコネクタのT分岐アダプタを使い、図4のようにMAUへ分岐接続し、多数の機器をぶら下げるバス接続型でした。



〈図3〉 10BASE-5の同軸ケーブルへ接続するためのMAU
(出典：IEEE802.3-2018, Sec. 1)

● 現在の主流 xBASE-T

現在はRJ-45(写真1)と呼ばれるコネクタで接続し、廉価で手軽に敷設できる4対のツイスト・ペア・ケーブルを使用するxBASE-Tが普及しています。そのうち代表的なものを表1にまとめました。

スター接続型として機器間をピア・トゥ・ピアで接続し、複数の機器を接続する場合にはハブやスイッチを経由します。xBASE-TはEthernetではxBASE-yとして慣例的に分類され、その中でxはデータ・レート、Tはツイスト・ペア・ケーブルを媒体としていることを意味します。

現在40GBASE-Tまで規格が策定されています。従来10Gbps以上は光ファイバが主流です。そこですでに実用化されている10GBASE-Tが普及し、同時に



第9章 数十Gbpsを伝送する 高解像ディスプレイのI/O

ディスプレイ系 高速シリアル・インターフェース

■ ディスプレイ系外部インターフェース の代表：HDMIとDisplayPort

ディスプレイ系インターフェースは、高解像度化やダイナミック・レンジの向上、高フレーム・レートなど、画像の高精細化、3D対応に伴い、データ・レートの高速化/広帯域化が要求されています。

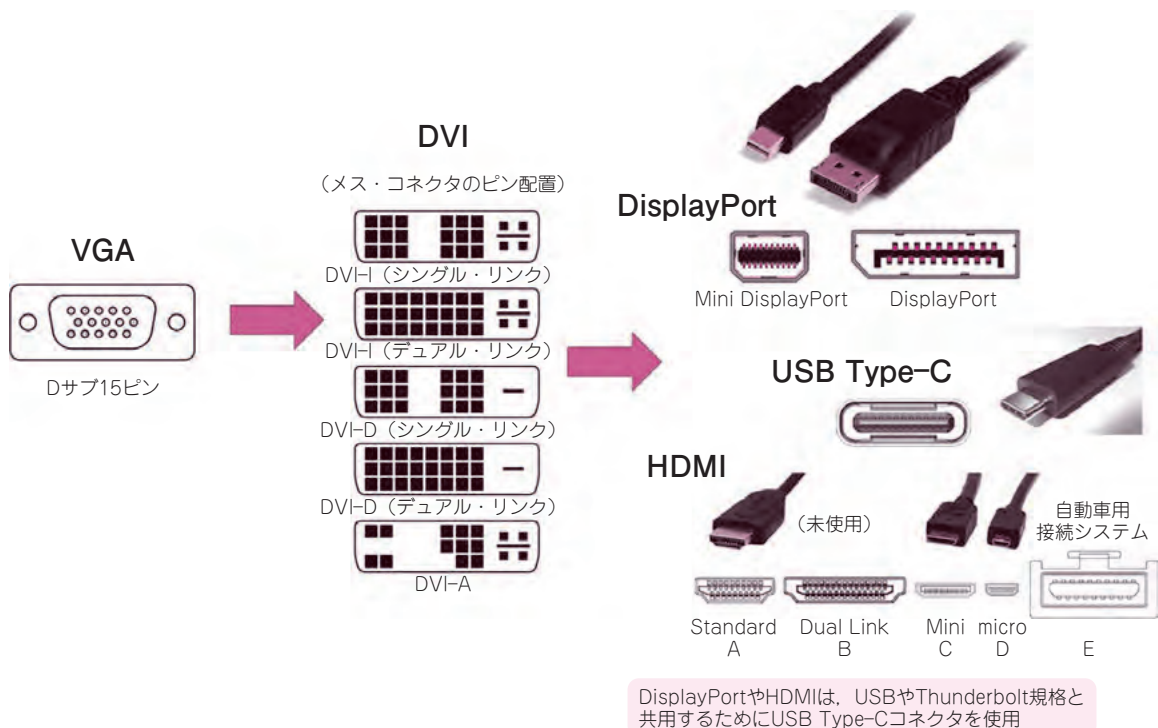
ディスプレイ系インターフェースは、その用途に応じて装置の内部と外部にわかれます。ここではパソコンやDVDやBlu-rayレコーダ/プレーヤなどのソース機器と、ディスプレイやプロジェクタなどのシンク機器とをケーブルで接続する外部インターフェースをおもに紹介します。

図1は外部ディスプレイ・インターフェースの変遷

です。パソコンでは、従来はVGAやDVIなど、映像機器ではNTSCコンポジット・ビデオ信号やS端子、アナログRGBが主でしたが、その後、家電系企業が策定したHDMIと、パソコン系企業団体であるVESAが策定した“DisplayPort”が主流となっています。

なお、VGAは元々IBM社がパソコン製品に搭載したグラフィック表示システムの名称ですが、640×480ピクセルの画素数やここでの使用例のようにアナログRGB信号を出力するコネクタを指す場合があります。画素数には画素数に応じてSVGAやXGAなどの名称が用意されています。

さらに放送用/業務用映像機器や医療機器では、HDMIやDisplayPortに加え、SMPTE(米国映画テレビ技術者協会)で規格化されたSDIや3G-SDI、さらに



〈図1〉ディスプレイ系インターフェースの変遷。VGA→DVI→DisplayPortやHDMIへと進化

3G-SDIを4本使用したクワッド・リンク、6G-SDI、12G-SDIも使用されています。これらは後編で紹介する予定です。

HDMIはそのルーツから家電系企業が多く採用しており、パソコン系企業はDisplayPortを採用しています。しかしながら、DisplayPortはプロトコル変換(トランスコーダ)とレベル・シフタを併用することでデュアル・モードとしてDVIおよびHDMIにも対応可能で図2のようなロゴで識別されます。現在はCPU(インテル社)にこれらの回路を内蔵し、DDIという名称でDisplayPortとHDMIの双方に対応するようになっています。ただし、DisplayPortとHDMIはコネクタ

形状が異なるので、双方のコネクタを持ち、それぞれのコネクタが別々のDDIポートに接続されています。

HDMIとDisplayPortはお互いに刺激し合い、改良され続けています。最高データ・レートではDisplayPortに分がりましたが、HDMI2.1の策定で48 Gbpsとなりました。一方、DisplayPortもUSB Type-Cコネクタの使用で80 Gbpsを実現するDisplayPort 2.0が策定されました。

なお、HDMIもDisplayPortも規格の開示は規格団体の会員であることやライセンス契約者であることが必要です。したがって、ここでは説明が限定的となることをご了承ください。



(a) DisplayPort (b) DPデュアル・モード

〈図2〉 DisplayPortロゴとDisplayPortデュアル・モード・ロゴ

2 DisplayPort

2.1 概要

VESAにより策定されたデジタル・ディスプレイ用のインターフェースです。表1に世代をまとめます。

〈表1〉 DisplayPortの進化

規格バージョン	DP 1.0/1.1/1.1a		DP 1.2/1.2a		DP 1.3	DP 1.4
策定期間	2006年5月/2007年3月/2008年1月		2010年1月/2012年5月		2014年9月	2016年2月
ビット・レート	1.62 Gbps	2.7 Gbps	5.4 Gbps		8.1 Gbps	
データ帯域幅	6.48 Gbps	10.8 Gbps	21.6 Gbps		32.4 Gbps	
リンク・レート名	RBR	HBR	HBR2		HBR3	
符号化	8B/10B					
レーン数	1, 2, 4					
サポートする解像度						
24ビット, 60 Hz, 4 : 4 : 4	1920×1080	2560×1600		3840×2400	5120×3840	
24ビット, 60 Hz, 4 : 2 : 0	—	—	—	—	7680×4320	
その他			● マルチストリーム		● HDCP2.2 ● ALTモード対応 (USB Type-Cコネクタ使用時)	● DSC ● HDR ● FEC ● 高音質フォーマット (32ch/1536 kHz/24ビット音声対応)

規格バージョン	DP 2.0		
策定期期	2019年6月		
ビット・レート	10 Gbps	13.5 Gbps	20 Gbps
データ帯域幅	40 Gbps	54 Gbps	80 Gbps
リンク・レート名	UHBR10	UHBR13.5	UHBR20
符号化	128b/132b		
レーン数	1, 2, 4		
サポートする解像度			
24ビット, 60 Hz, 4:4:4	8K/60 Hz HDR		
	8K/60 Hz SDR		
	4K/144 Hz HDR		
24ビット, 60 Hz, 4:2:0	2×5K/60 Hz		
その他	• USB Type-Cコネクタ/ケーブル		

注▶ DSC : Display Stream Compression (圧縮伝送), FEC : Forward Error Correction (前方エラー訂正), HBR : High Bit Rate, HDR : High Dynamic Range, HDCP : High-bandwidth Digital Content Protection, RBR : Reduced Bit Rate, SDR : Standard Dynamic Range, UHBR : Ultra High Bit Rate

【見本】低解像度

ISBN978-4-7898-4138-2

C3055 ¥3600E

CQ出版社

定価 3,960円(本体3,600円)⑩



9784789841382



1923055036000



初めての高速シリアル・インターフェース測定