

効率・力率・ノイズの改善/キーパーツの見直し

いまこそ電源回路から見直そう

編集部

いま、あらゆる分野でエネルギーの使用効率が見直されています。

エレクトロニクス技術者の仕事というところ、これまではお客の求める仕様に応じた機能を実現し、信頼性の高いシステムを作り上げることが主題でした。しかし近年のエレクトロニクス機器では、加えて、エネルギーをより上手に効率良く使うシステムにすることが強く求められています。また、常にエネルギー効率を考

えることが、技術者としての重要なセンスとなってきました。本書では電気・電子機器において省エネルギーの要となる電源回路…とくにスイッチング電源回路の、より効率的な設計法について、最新技術を広く詳しく紹介することにしました。

■ 理想のスイッチングは損失ゼロ

図1に、スイッチング電源のしくみを示すためのもっとも基本的な回路例を示します。理想スイッチによって、理想的な抵抗負荷をスイッチングする回路です。理想スイッチとはON時のオン抵抗が0Ωで、OFF時

のオフ抵抗は無有限大、スイッチがONするための時間…ターンON時間も、OFFするためのターンOFF時間もゼロというものです。すると、スイッチON時に流れる電流 I_L は電源電圧 V_L と負荷抵抗 R_L だけで決まり、消費する電力はすべて負荷抵抗 R_L が背負い込んで、スイッチング損失というものはまったく生じません。

スイッチング電源における電圧安定化のしくみは、図1において出力電圧の変化を観測し、たとえば出力の負荷が重くなって電圧が低下しそうなときは、スイッチングのパルス幅を広げて出力電圧を上げるように、逆に出力の負荷が軽くなって電圧が上がりそうなときは、スイッチングのパルス幅を狭めて出力電圧を下げるようにフィードバック制御するもので、一般にPWM…パルス幅変調と呼ばれる方式が多く使われています。フィードバック制御～PWMは、ほとんど制御用ICが担当します。制御用ICの消費電力も理想的にはゼロであることが期待されています。

■ 電源回路技術を支える半導体スイッチの進歩

電源回路ではスイッチ素子がどれだけ理想素子に近づくかが大きなポイントですが、スイッチング電源用ということに限ればパワーMOSFET(以下、本書ではパワーMOSと呼ぶ)の格段の進歩で、オン抵抗にいたっては数mΩオーダーのパワーMOSが登場するまでになりました。つまり、パワーMOSの導通損失 P_{on} については、 $R_{on} = 10 \text{ m}\Omega$ とすると10Aをスイッチングしたとしても、

$$P_{on} = I^2 \cdot R_{on} = 100 \times 10 \text{ m}\Omega = 1 \text{ W}$$

となり、TO-220程度のパッケージであれば少し生暖くなる程度の発熱で終わります。

パワーMOSはスイッチング速度も高速化されてきました。しかし、パワーMOSのスイッチング損失は少しやっかいです。高速スイッチングをしなければあまり問題ないのですが、高速スイッチは高速に使われます。写真1は、パワーMOSをスイッチングさせたときのドレイン電圧 V_{DS} とドレイン電流 I_D 、加えて V_{DS} と I_D の乗算値…スイッチング損失について波形を観測したものです。ターンON/ターンOFF時に大きな電力を消費していることがわかります。

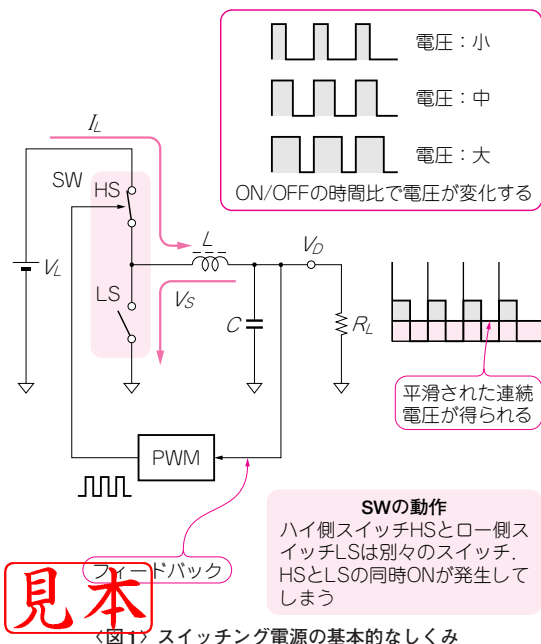
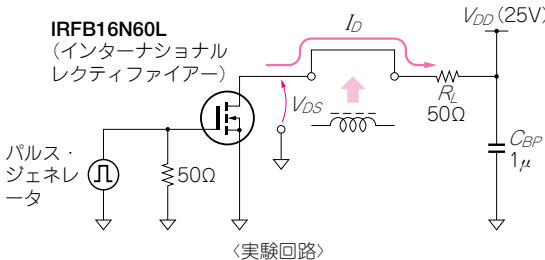
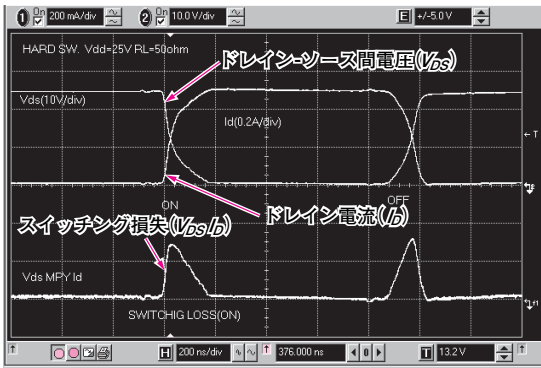


図1) スwitchング電源の基本的なしくみ



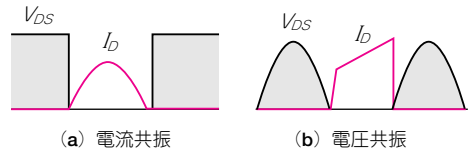
〈写真1〉⁽¹⁾ パワーMOSによるスイッチング回路の波形

■ ノイズ発生のないソフト・スイッチング電源へ

写真1に示したパワーMOSのスイッチング損失が、言ってみればこれまでのスイッチング電源のボトル・ネックでもありました。パワーMOSの**スイッチングにおける V_{DS} と I_D の重なり**です。理想は写真1における V_{DS} と I_D が重ならないことです。しかし、実際は波形の重なり…**損失の発生が大きなノイズ発生**となり、**熱の発生**となります。高速スイッチング素子を何も対策せずに普通に高速スイッチングさせると、大量のスイッチング・ノイズ…高周波輻射ノイズを発生するのです。スイッチング電源が昔から計測機器や医療機器などの高感度アナログ機器で嫌われてきたのは、このスイッチング・ノイズに関する問題でした。

しかし、この V_{DS} と I_D の重なりをなくす技術も大きく進歩してきました。**共振型スイッチング電源**の技術発展です。

共振型スイッチング電源はLC共振回路を利用して、図2に示すように、スイッチング素子における電圧スイッチングと電流スイッチングのクロスする領域によって、**ゼロ電圧スイッチング…ZVS**あるいは**ゼロ電流スイッチング…ZCS**と呼ばれますが、いずれもハードな領域でのスイッチングを避け、電流波形を共振、あるいは電圧波形を共振させ、ソフトな領域でスイッチングするという方式です。電力損失の発生は(電圧 V_{DS} 、電流 I_D)で生じますが、電圧あるいは電流のいずれかが**ゼロの領域でスイッチング**させれば、電



〈図2〉共振型電源の動作

力損失も**ノイズも生じない**という考え方です。

本書では、構成が簡単な擬似共振によるフライバック・コンバータと、薄型テレビなどの需要に支えられ発展している最新の(PFCコンバータとの組み合わせによる)**LLC型共振コンバータ**、さらにユニークな発想で構成された**電圧共振・正弦波によるオーディオ用スイッチング電源**を紹介しています。

■ 高調波発生と力率にも配慮しよう

スイッチング電源の選択あるいは実現において、一番の技術的注目点は電力の変換効率です。しかし変換効率は先達のたゆまぬ努力によって、現在では**DC-DCコンバータでは90%以上**、**AC-DCコンバータでも90%に近い変換効率**が実現されるようになってきました。

しかし、ここで注目しておくべき事項があります。力率についてです。

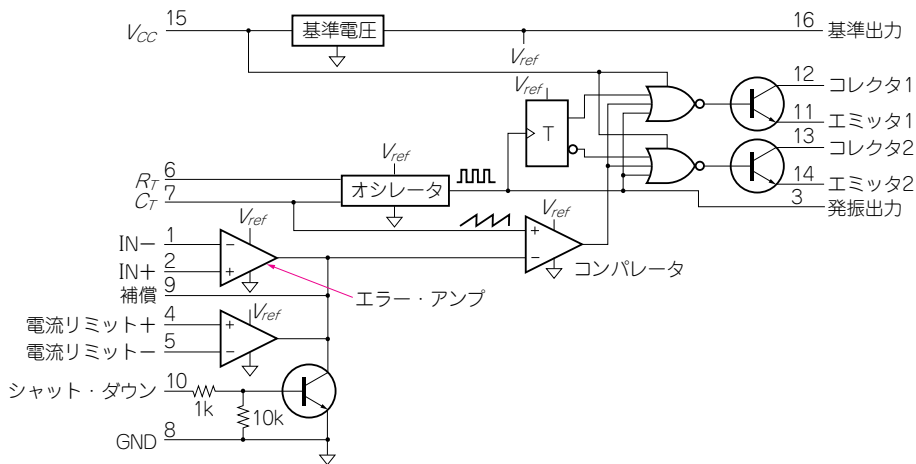
電子機器を動かすエネルギー…電力は、発電所・変電所・柱上トランスをへて、事務所や各家庭に配られてきます。また、電力はAC…交流で送られてきて、各家庭には家屋の入口に電力量計を配して使用電力が計量され、課金されることになっています。

このとき、電力使用料金の課金対象となる電力と、電力会社が出している電力との間には、少なくない違いがあることはご存じだと思います。**電力会社が送出している電力は皮相電力**と呼ばれ、**電力量計が計量している電力は有効電力**と呼ばれています。そして、皮相電力に対してどれだけ電力が有効に使われているかを表すのが**力率**と呼ばれるものです。

もし、効率100%の電力変換器…スイッチング電源があったとしても、力率がたとえば70%しかなければ、(電力会社から見た)電源効率は70%しかないと同じになってしまいます(電力会社は有効電力に対する課金しかしないので、電力の需要家は直接気にならないかもしれないが…)。

幸いなことに、配電線への高調波対策の一環として電源回路に高調波発生を抑制する**力率改善コントローラ(PFC)**を備えることが要求されてきました。若干の費用増にはなりますが、スイッチング電源のマナーとして広く普及してもらいたい技術です。

見本



〈図4〉⁽²⁾ PWMコントローラのオリジン…SG3524の構成

■ 安全性・信頼性への配慮と多機能化

図4はスイッチング電源用ICのうち、ハーフ・ブリッジ出力型ICのオリジンともいえるPWMコントローラSG3524の構成です。スイッチング電源を構成するための回路機能が過不足なく搭載されていることから、現在でも一部では使用されているようです。ところが、このようなデバイスも現代から見ると、不足している機能があります。それが、安全性や信頼性を確保するための機能です。

近年のデバイスで著しく改善されてきたのが、システムの安全性や信頼性へ配慮した機能で、これらがスイッチング電源用ICの中に収納され、機能が充実してきました。ほとんどのスイッチング電源コントロールICに以下の機能が搭載されています。

- UVLO…低電圧ロックアウト機能
- 遅延スタート機能
- ソフト・スタート機能
- 過熱シャット・ダウン機能
- 過電流シャット・ダウン機能
- 過電圧シャット・ダウン機能
- 軽負荷時の省エネ対応モード
- 他デバイスとのスイッチング同期

などです。

とくに低電圧ロックアウト機能は、必ずしも入力電圧がキリッと立ち上がらない可能性のある産業用機器や自動車用などでは欠かせない、入力電圧が一定電圧に達するまでは出力をOFFしておく回路機能です。

見本

信頼性重視ということは当然としても、アナログIC…スイッチング電源コントロールICといえども高集積化があまり苦にならない時代になったということでしょう。

■ 多機能化の行き着くところは？

電源回路に前述のような多機能が要求されてくるといことは、回路のデジタル化あるいはソフトウェア・プログラマブル化が進みつつあるということともけっして無関係ではなさそうです。デバイス応用技術のブレークスルーがあつという間に広く蔓延してしまうことは、過去の多くの事例が証明しています。

DSPやマイコンを利用したデジタル信号処理電源技術はまだ試用段階の気配ですが、開発環境は整ってきています。カルチャーの異なる世界でもあるので、そろそろキャッチアップの準備にかかっても良いのではないかと…ということで、デジタル制御電源の試用についても紹介することにしました。

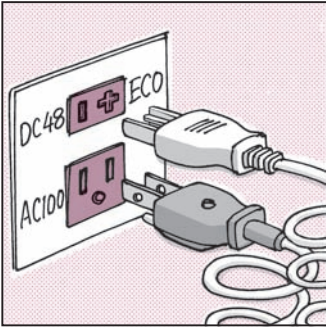
*

本書が、少しでも電気・電子機器の電源回路設計に役立ち、省エネルギー等へ貢献することによる技術者として誇り、喜びが増幅されることを願っております。

◆ 引用文献 ◆

- (1) 稲葉 保, 連載「低ノイズ&高効率パワー回路の実験」, ハード・スイッチングの弱点とその克服, トランジスタ技術, 2004年2月号, CQ出版社.
- (2) STマイクロ, SG3524 データシート.

第1章



スイッチング電源・高性能化のメイン・デバイス
 パワー MOS FET の最新動向と
 応用のポイント

山川 功/横田 誠/来島 正一郎
 Isao Yamakawa/Makoto Yokota/Shoichiro Kurushima

スイッチング電源のメイン・デバイスがバイポーラ・トランジスタからパワー MOS FET に転換して二十数年にはなるでしょうか。パワー MOS FET がスイッチング素子のメインとなった理由の大ききは、マイコンやメモリなどデジタル IC のメインが CMOS (Complementary MOS) となって大きく発展したと無関係ではありません。

スイッチング電源におけるメイン・デバイスがパワー MOS である時代はまだ続きそうです。東芝のパワー MOS FET を例に技術動向と応用のポイントを紹介いたします。

スイッチング用パワー・デバイスの
 あらまし

● パワー・デバイスの種類と適用領域

スイッチング用パワー・デバイスは、半導体プロセスと設計技術の進展に伴い、大幅な性能改善が進んでいます。パワー・デバイスの名のとおり、大電力を扱うことから、デバイスの性能が直接的に機器のエネルギー効率、消費電力などへ影響し、省エネ、CO₂削減など環境にとっても重要なデバイスとなっています。

スイッチング用パワー・デバイスは、ON/OFF 制御を電圧か電流か、電流キャリアが正孔または電子の1種(ユニポーラ)か2種(バイポーラ)かなどにより、表1に示すように大別されます。メガワット・クラスの大電力用途に適する GTO (Gate Turn-off Thyristor)、比較的単純な AC 制御、ソフト・スタート回路などに使用されるサイリスタなどの電流制御型デバイスの例もありますが、やはり制御の簡単なパワー MOSFET (以下、パワー MOS と呼ぶ)、IGBT (Insulated Gate Bipolar Transistor) に代表される電圧制御型デバイス

〈表1〉 代表的なパワー・スイッチング素子

基本構造	電圧駆動型	電流駆動型
ユニポーラ・タイプ	パワー MOS FET	—
バイポーラ・タイプ	IGBT	BJT ^(注) , GTO, サイリスタ

見本

(注) バイポーラ・ジャンクション・トランジスタ

が優位であり、現在は中心的に使用されています。

扱う電力やスイッチング周波数により最適なパワー半導体が分かれますが、スイッチング電源におけるスイッチング素子としては高速スイッチング性能、広い安全動作領域、簡易なドライブ回路などの特徴からパワー MOS が最適であり、広く採用されています。

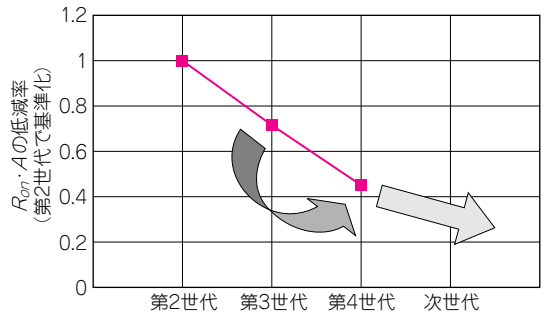
● パワー MOS の開発動向

パワー MOS の開発動向はニーズによりいろいろですが、整理すると以下ようになります。

▶ 進む低オン抵抗化

パワー MOS の ON 状態での導通抵抗を表すオン抵抗の削減は、動作損失を下げるためのもっとも重要な開発テーマとして取り組まれてきました。おおむね耐圧 100 V 以下の低耐圧タイプでは、トレンチ・ゲート構造が積極的に採用され、半導体チップ表面近傍部の抵抗を大幅に削減、さらに微細加工技術のデザイン世代ごとに低オン抵抗化が進行しています。図1に示すように、この10年程度で単位面積当たりのオン抵抗は50%以下となっています(東芝における耐圧 40 V 系パワー MOS の例)。

一方、耐圧 250 V 以上の中高耐圧パワー MOS においてもオン抵抗の低減は進行していますが、全体の抵抗に占める N-ドリフト層の抵抗分が大きく、さらなる低減は原理的に困難になってきています。そこで後述の新しいスーパージャンクション構造を採用するこ



〈図1〉 40 V パワー MOS の単位面積あたりのオン抵抗変化

とで、オン抵抗を一気に1/3程度まで低減することが実現しました。

▶ **もちろん低容量化も**

パワーMOSをターンON/ターンOFFさせるためには、**電極間容量成分を充放電させる**の必要があり、高速スイッチング、ドライブ電力の削減には、その容量成分の削減が重要です。図2に示すように $R_{on} \cdot C_{iss}$, $R_{on} \cdot Q_{sw}$ などの性能指数を用いて、その低減を新世代品開発時に実現しています。

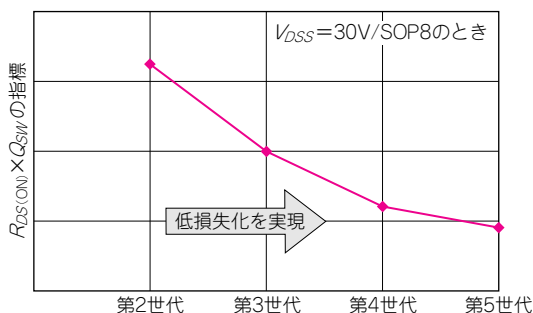
▶ **小型化に向けて…パッケージの改善**

電子機器の小型・薄型化の動向に伴い、高密度実装対応・低背化への要求が高まっています。小型表面実装パッケージで**裏面に放熱フィンを設置し**、実装基板面への放熱により許容損失を増加させたパッケージが広く普及してきました(例; SOP-Advance)。

低オン抵抗化の進行とともにパッケージ外部端子とチップ間の接続方法も見直され、通常の細い金属線(ボンディング・ワイヤ)の代わりに**金属板(ストラップ)またはリボンによる接続**が使用されてきています。SOP系パッケージでは1~2mΩ程度のオン抵抗改善が確認されています。この接続方法により、放熱効果、ピーク電流耐量も改善します。

▶ **環境負荷への対応**

有害物質の使用規制から外部端子に使用されるはんだの無鉛化、パッケージ材料の見直し(**ハロゲン系有害物質の削除**)が進んでいます。



〈図2〉低オン抵抗・低容量化のトレンド

中高耐压用パワーMOSとスーパージャンクション

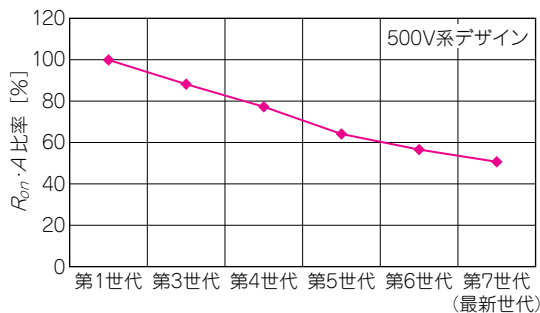
AC-DCコンバータは、数十~百数十Wの携帯電話やノートPCのチャージャ/アダプタ、数百Wの出力を必要とする薄型テレビ、パソコンやゲーム機といった家電機器、さらには数kWの産業用機器などに必ず搭載されています。これらのセットの電源高効率化のために進歩してきた中高耐压パワーMOSの開発動向を紹介します。

● **中高耐压パワーMOSの主な用途**

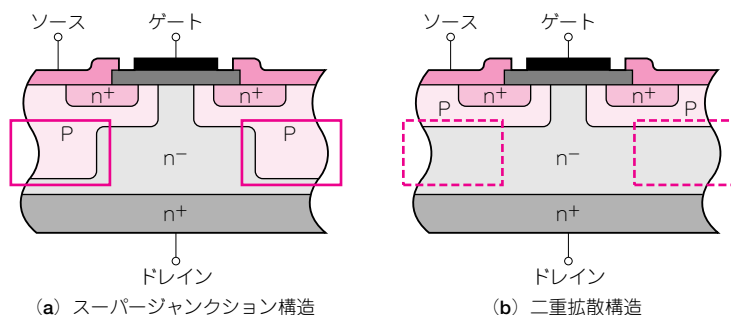
ACラインに接続される(絶縁型)AC-DCコンバータは、**ワールド・ワイド対応**を見ずると、**AC85~265Vを整流した直流電圧…最大400V程度を扱う**ことになります。力率改善(PFC:Power Factor Correction)回路や、フライバック・コンバータ、フォワード・コンバータ、共振コンバータ、フル・ブリッジ回路といった構成の中で使われるのが一般的です。

パワーMOSの**性能指標(FOM: Figure of Merit)**の一つとして、 $R_{on} \cdot A$ (単位面積あたりのオン抵抗)があります。この $R_{on} \cdot A$ はパワーMOSの**単位面積あたりのオン抵抗**を現しており、**小さいほうがより高性能なパワーMOS**ということになります。

図3に500V耐压パワーMOSをモチーフに、第1世代(π -MOS)から最新世代(π -MOS VII)までの

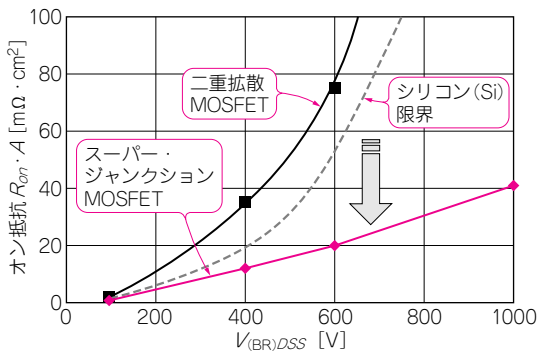


〈図3〉500V系パワーMOSの $R_{on} \cdot A$ の変遷

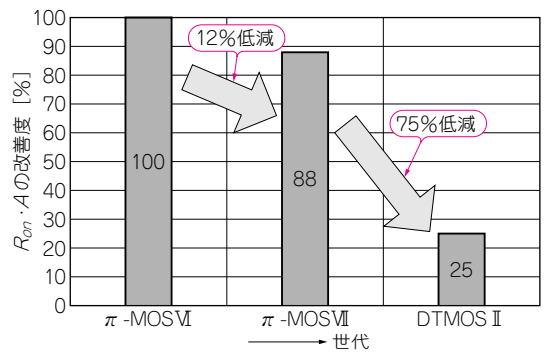


〈図4〉スーパージャンクション構造と二重拡散構造





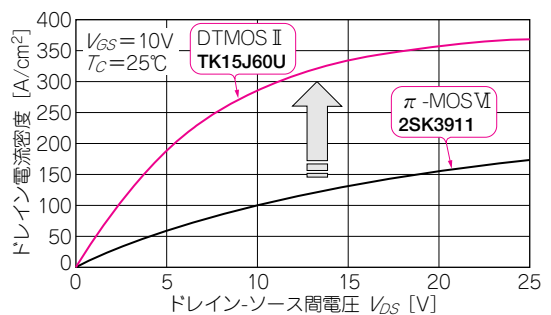
〈図5〉 $R_{on} \cdot A$ -A耐圧相関(シミュレーション値)



〈図6〉 現行 π -MOSⅥを100としたときの $R_{on} \cdot A$ の改善度

〈表2〉 二重拡散構造の $R_{on} \cdot A$ の比率内訳(シミュレーション値)

耐圧系	100 V	600 V	1000 V
チャネル抵抗 R_{ch}	2.6%	1%	0.3%
JFET-n抵抗 R_{JFET}	24%	18%	14%
ドリフト抵抗 R_{drift}	72%	81%	86%
基本抵抗 R_{sub}	1.4%	0.1%	0.03%
素子オン抵抗 $R_{on} \cdot A$	100%	100%	100%



〈図7〉 電流密度-ドレイン-ソース間電圧 V_{DS} 比較

FOMの性能改善比率を示します。

最新世代「 π -MOSⅦ」では、第1世代と比較して、50%程度改善しています。

● 新構造「スーパー Junction構造」の出現

最新世代で性能が約2倍まで改善してきましたが、**従来型パワーMOSは二重拡散構造**と呼ばれ、今後大幅な性能改善を見込むことが難しくなってきました。

そこで登場してきたのが、1988年にD. J. Coeによって発明された新構造「**スーパー Junction構造**」⁽¹⁾と呼ばれるものです。ここ数年で、スーパー Junction構造を採用したパワーMOSが広く市場で流通するようになってきました。ここでは従来型パワーMOS…二重拡散構造と新構造スーパー Junction構造について説明します。

スーパー Junction構造は従来の二重拡散構造に対して、**図4**に示すように、ドリフト層(n⁻層)内にチップに対して**垂直方向にp層/n層を周期的に配置**した構造です。

二重拡散構造パワーMOSの $R_{on} \cdot A$ は、**表2**に示すように、ドリフト抵抗全体の80%以上を占めており、このドリフト抵抗を下げることで性能改善になります。しかし、MOSの耐圧はシリコン固有の臨界電界とドリフト層濃度で決定され、ドリフト層濃度がドリ

フト層抵抗と比例関係にあるため、二重拡散構造における $R_{on} \cdot A$ の大幅な改善を見込むことは難しいとされてきました。

これに対して**スーパー Junction**と呼ばれる構造は、p層/n層を周期的に配置することで、ドリフト層内の電界分布を均一にし、ドリフト長と濃度を最適化することができ、**大幅に $R_{on} \cdot A$ を改善**することができます。**図5**からわかるように、600V耐圧パワーMOSでシリコン限界の $R_{on} \cdot A$ が**50 mΩ · cm²**であるのに対し、スーパー Junction構造を適用することで、**20 mΩ · cm²を実現**することができます。つまり、スーパー Junction構造のパワーMOSは、**2.5倍高性能なパワーMOS**であるということが出来ます。

● スーパー Junction MOSの $R_{on} \cdot A$

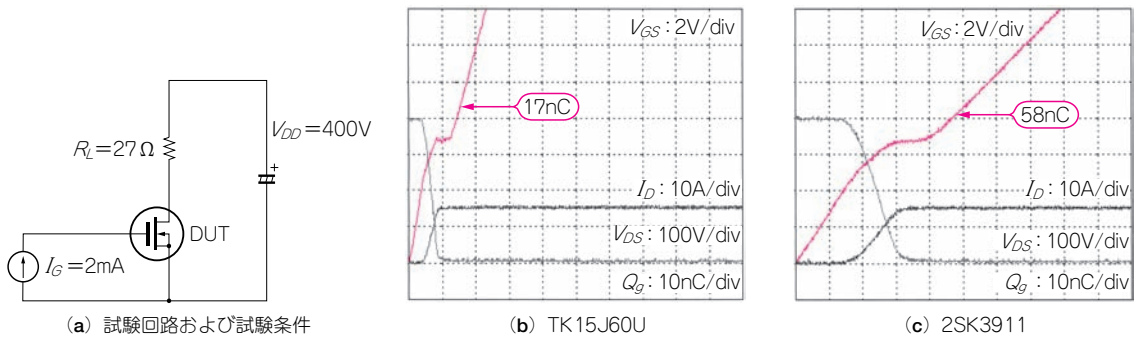
スーパー Junction・パワーMOSの製品としての $R_{on} \cdot A$ の改善を**図6**に示します。スーパー Junction・パワーMOS…DTMOSⅡシリーズは、現行の π -MOSⅢシリーズに対して $R_{on} \cdot A$ が**75%の低減**、つまり**4倍の高性能パワーMOS**となっています。

また、スーパー Junction・パワーMOSは従来のパワーMOSと比較して**チップ面積が1/4**と大幅に小さくなっているため、電流密度でも**図7**に示すように、**3~4倍高電流密度の電流**を流すことができます。

〈表3〉二重拡散型パワー MOS 2SK3911 とスーパージャンクション・パワー MOS TK15J60U の特性比較

項目	記号	測定条件	シリーズ			DTMOS II			π MOS-VI		
			製品名			TK15J60U			2SK3911		
			定格			600V・15A/TO-3P(N)			600V・20A/TO-3P(N)		
			最小	標準	最大	最小	標準	最大	単位		
ゲート漏れ電流	$\pm I_{GSS}$	$V_{GS} = (^{注})$, $V_{DS} = 0V$	—	—	± 1	—	—	± 10	μA		
ドレインシャ断電流	I_{DSS}	$V_{DS} = 600V$, $V_{GS} = 0V$	—	—	100	—	—	500	μA		
ドレイン-ソース間降伏電圧	$V_{(BR)DSS}$	$I_D = \pm 10mA$ $V_{GS} = 0V$	600	—	—	600	—	—	V		
ゲートしきい値電圧	V_{th}	$V_{DS} = 10V$, $I_D = 1mA$	3.0	—	5.0	2.0	—	4.0	V		
ドレイン-ソース間オン抵抗	$R_{DS(ON)}$	$V_{GS} = 10V$ $I_D = 50\%$ 定格	—	0.24	0.3	—	0.22	0.32	Ω		
ゲート入力電荷量	Q_g	$V_{DD} = 400V$, $V_{GS} = 10V$ $I_D =$ 定格電流	—	17	← 70%低減	60	—	nC			
入力容量	C_{iss}	$V_{DS} = 10V$	—	950	← 70%低減	4000	—	nC			
帰還容量	C_{rss}	$V_{GS} = 0V$	—	47	—	80	—	nC			
出力容量	C_{oss}	$f = 1MHz$	—	2300	← 65%低減	1400	—	nC			
準方向電圧 (ダイオード)	V_{DSF}	$I_{DR} =$ 定格電流 $V_{GS} = 0V$	—	—	1.7	—	—	-1.7	V		

(注) 測定条件はそれぞれ下記のとおり
 TK15J60U : $V_{GS} = \pm 30V$
 2SK3911 : $V_{GS} = \pm 25V$



〈図8〉ゲート入力電荷量の比較

● スーパージャンクション vs 従来パワー MOS

では、 $V_{(BR)DSS} = 600V$, $R_{DS(ON)} = 0.2\Omega$ (標準値) の同等定格品同士で、二重拡散型とスーパージャンクション・パワー MOS の特性を比較してみましょう。表3にその比較データを示します。

スーパージャンクション・パワー MOS の最大の特徴は、同一定格と比較すると低いゲート入力電荷量です。図8に示すように、二重拡散構造と比較して70%程度低くなっています。そのため、スーパージャンクション・パワー MOS は同一ドライブ条件下では、図9に示すようにスイッチング・スピードが速くなります。結果、たとえば AC-DC コンバータの PFC 部に適用した場合、スイッチング損失が低減したことで、効率としては0.5%程度の向上が確認できます(図10)。

図10のようにスイッチング・スピードの早いデバイスでは、スイッチング時の dV_{DS}/dt が従来の二重

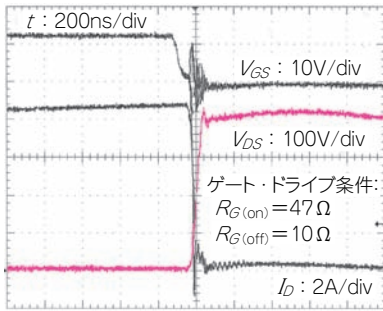
拡散パワー MOS と比較して高くなります。そのため、高いターンOFFサージが発生する可能性があります。使用に当たっては注意が必要です。

対策としては、ゲート直列抵抗の値を変更することでターンOFFサージを低減することができます。また図11に示すように、ドレイン-ソース間にスナバ・コンデンサを追加することでも、効果的に dV_{DS}/dt を低減することができます。

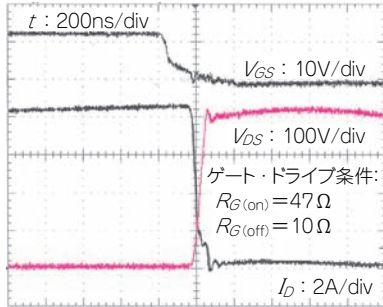
● スーパージャンクション・パワー MOS の将来

表4にDTMOS II シリーズ・スーパージャンクション・パワー MOS のラインナップを示します。

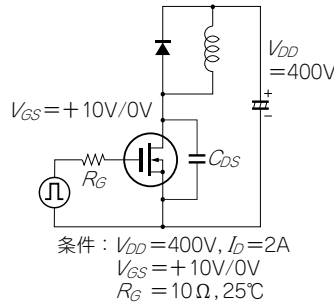
中高耐圧パワー MOS の新しい構造として誕生したスーパージャンクション・パワー MOS ですが、今後のさらなる特性改善の手法としては、p層/n層の横方向周期(ピッチ)の微細化とドリフト層の高濃度化により、図12に示すように、さらに低 $R_{on} \cdot A$ を実現する



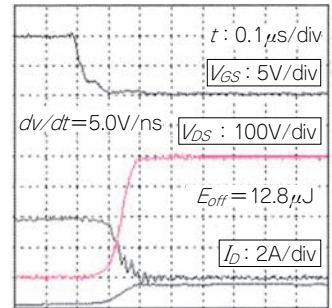
(a) TK15J60U



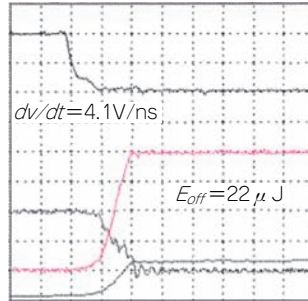
(b) 2SK3911



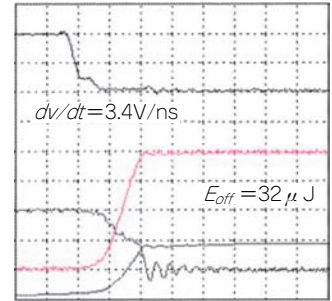
(a) 試験回路



(b) C=なし



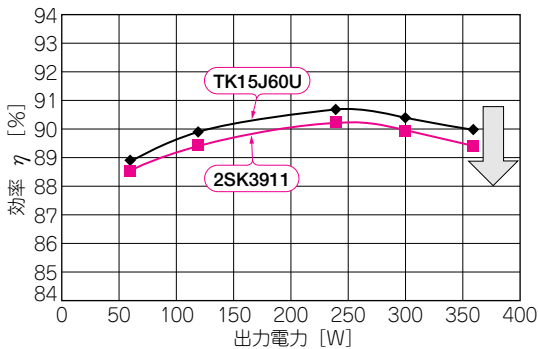
(c) C=118pF



(d) C=235pF

〈図9〉 ターンOFF 波形の比較(PFC回路: 360 W 出力時)

〈図11〉 ターンOFF 損失におけるドレイン-ソース間のスナバ・コンデンサへの依存(評価素子: スーパージャンクション・パワーMOS TK20A60T)



〈図10〉 PFC回路における変換効率の比較

〈表4〉 スーパージャンクション構造 DT MOS II シリーズ製品のラインナップ

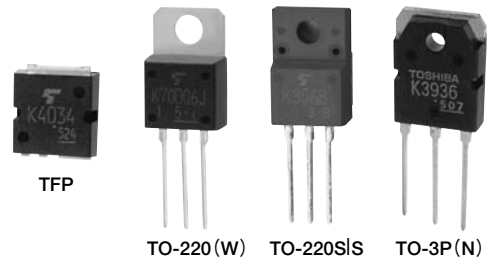
定格	型番	パッケージ
600V・12A/0.4Ω _{max}	TK12A60U	TO-220SIS
	TK12D60U	TO-220(W)
	TK12X60U	TFP
	TK12J60U	TO-3P(N)
600V・15A/0.3Ω _{max}	TK15A60U	TO-3P(N)
	TK15D60U	TO-3P(N)
	TK15X60U	TFP
	TK15J60U	TO-3P(N)
600V・20A/0.19Ω _{max}	TK20A60U	TO-220SIS
	TK20D60U	TO-220(W)
	TK20X60U	TFP
	TK20J60U	TO-3P(N)
600V・40A/0.08Ω _{max}	TK40J60T	TO-3P(N)

ことができると考えられています。

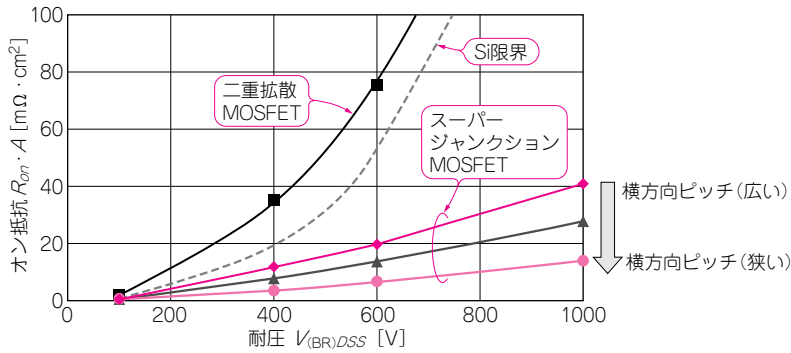
さらに将来デバイスとしては、シリコン・カーバイド(SiC)や窒化ガリウム(GaN)といったワイド・バンドギャップ化合物半導体があげられます。これらの素子に関しては学会で多く発表が行われており、今後ますます研究開発が進み、製品化されていくものと予想しています。

同期整流用低耐圧パワーMOS

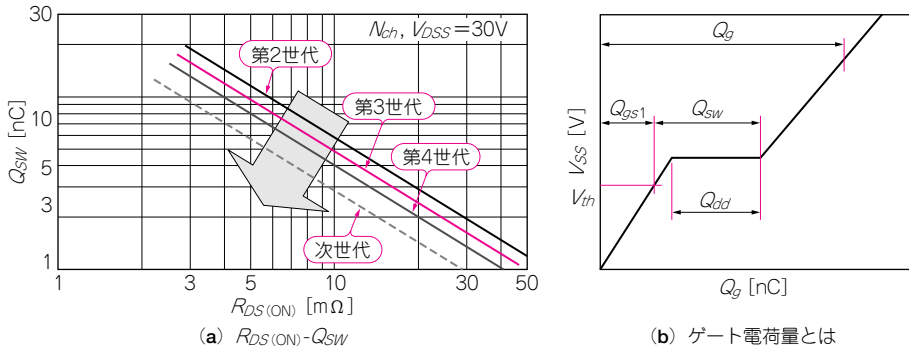
DC-DCコンバータでは同期整流が一般化
見本パワーMOSの特性改善および低価格化により、現在では同期整流方式のDC-DCコンバータが一般的



(注) パッケージ写真は参考のためのもので型番と一致していない



〈図12〉スーパージャンクション・パワーMOSの将来展望(シミュレーション値)



〈図13〉オン抵抗-ゲート容量のトレードオフ

なものとなり、幅広く電子機器で使われています。

DC-DCコンバータに対しての下記要望事項が高まるなか、パワーMOSに対してもさらなる特性改善、小型化、低価格化が求められています。DC-DCコンバータへの要望事項を整理すると、

- 省エネルギー/バッテリー長時間駆動
- 大電力対応
- 小型化/薄型化
- 高速応答性
- 低ノイズ
- 低価格化

ここでは、これら相反する要望事項に対応するパワーMOSの開発動向について、シリコン・チップの特性改善、パッケージの改善、および複合化/集積化の三つの内容について、それぞれその効果(電源に与えるメリット)を明確にしなが紹介します。

● オン抵抗-ゲート容量のトレードオフ改善

一般にパワーMOSの単位面積あたりのオン抵抗は、MOSFETセルの集積度を上げることで低減可能ですが、反面、集積度アップはゲート容量の増大につながり、スイッチング特性の悪化を招きます。これら

両特性は、図13に示すようにトレードオフの関係にあり、FOM(Figure of Merit)として指標化され、この指標でパワーMOSの特性を理解することができます。ただし、実際にはメーカあるいはプロセスによって異なる条件もしくは内容である場合もあり、比較には注意が必要です。

また、ゲート電荷量の低減はとくに軽負荷時のドライブ損失の低減として効果があるだけでなく、スイッチング時間の短縮によりデッド・タイムが短い設定においても貫通を避けることができます。

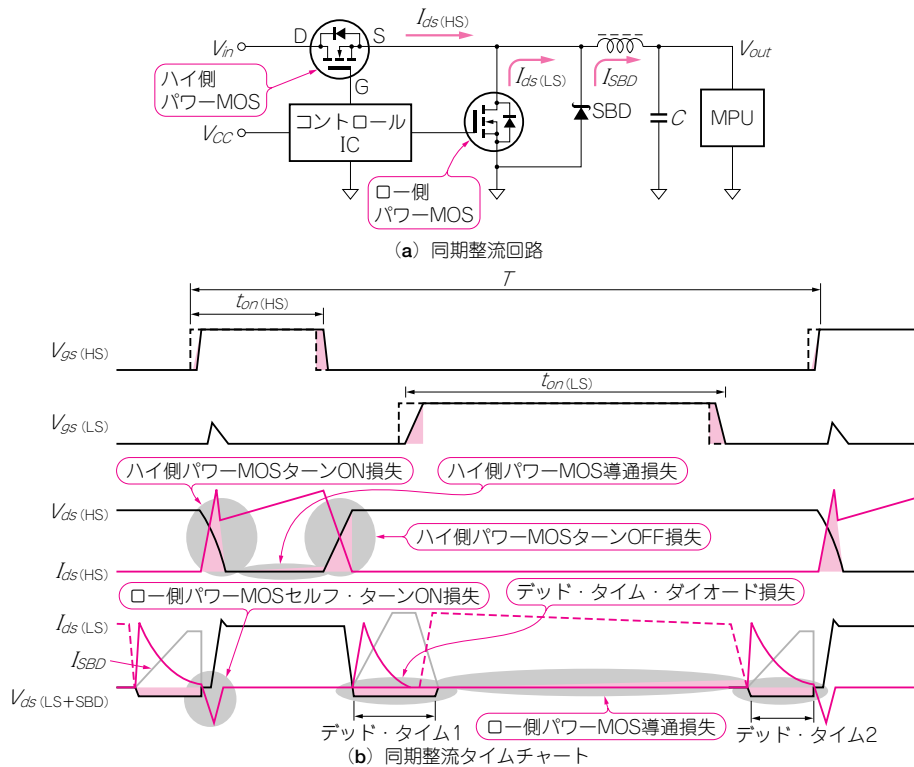
▶ 効果(1)：損失の改善

図14にノートPCなどに使われているMPUコア用VRMの回路概要とその動作波形を示しますが、素子を見直すことでトレードオフが改善されています。

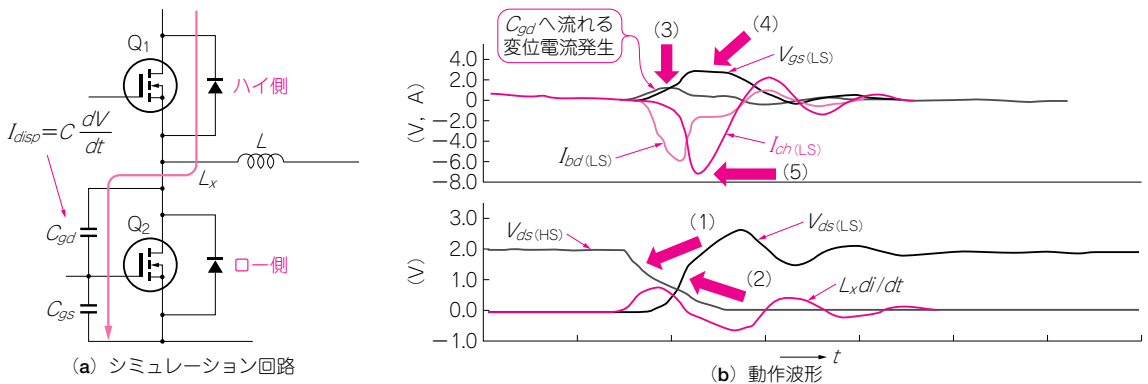
- ハイ側パワーMOSの $R_{ds(on)}$ 低減 ⇒ 導通損失低減
- C_{rss} 低減 ⇒ スwitching損失低減
- ロー側パワーMOSの $R_{ds(on)}$ 低減 ⇒ 導通損失低減
- Q_g 低減 ⇒ ドライブ損失低減, デッド・タイム不足による貫通防止

▶ 効果(2)：コストの低減

同レベルのオン抵抗を実現する場合、評価係数FOMが小さい製品ほどチップを小さくすることができ、製品コストを低減することができます。



〈図14〉同期整流方式DC-DCコンバータの基本回路と動作波形



- (1) ハイ側パワー-MOSターンON
- (2) 大 dV/dt がロー側パワー-MOSに印加
- (3) C_{gd} と C_{gs} へ流れる変位電流発生
- (4) 変位電流による C_{gs} へのチャージ
- (5) $V_{gs} > V_{th}$ となりロー側パワー-MOSのターンON (貫通電流 I_{ch} の発生)

〈図15〉セルフ・ターンONの発生メカニズム

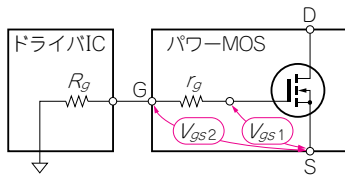
● セルフ・ターンONに貫通電流の発生

同期整流は高効率化のための欠かせない回路技術ですが、デバイスの高速化に伴い、図15に示すようなセルフ・ターンONと呼ばれる現象を生じるケースがあります。この現象による貫通電流の発生は効率を悪化させるだけでなく、熱暴走による素子破壊につながる可能性があるため注意が必要です。

電子機器の小型・薄型化に伴いDC-DCコンバータの動作周波数の高周波化が進んでいます。結果、必然的にパワーMOSのスイッチング時の dv/dt は増大し、またデッド・タイム(ハイ側素子とロー側素子がどちらもOFF状態である期間)も短くなる傾向にあり、このセルフ・ターンON現象を抑止する必要性が高くなってきています。

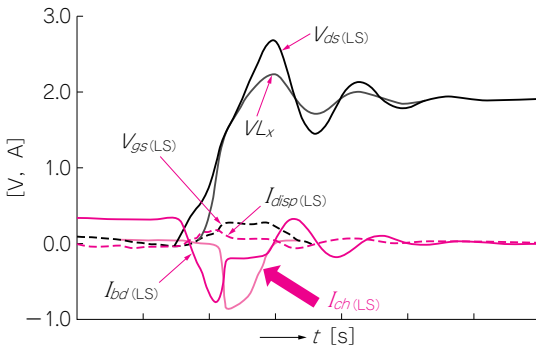
● r_g (内部ゲート抵抗)の低減

外部端子と実際のパワーMOSゲートとの間には、内部ゲート抵抗 r_g と呼ばれる直列抵抗が、わずかですが存在します。この抵抗 r_g は、パワーMOSのスイッチング特性に影響を与える項目としてだけでなく、同期整流におけるロー側素子において、前述のセルフ・ターンON現象に影響を与える重要特性として着目されています。素子のデータ・シート上に記載されている標準値の低減だけではなく、ばらつき範囲の改善も重要な課題となっています。たとえば東芝の低耐圧パワーMOSのうち、高速スイッチング用途向け製品については r_g 低減デザインが採用されており、ばらつき範囲も小さく管理されています。

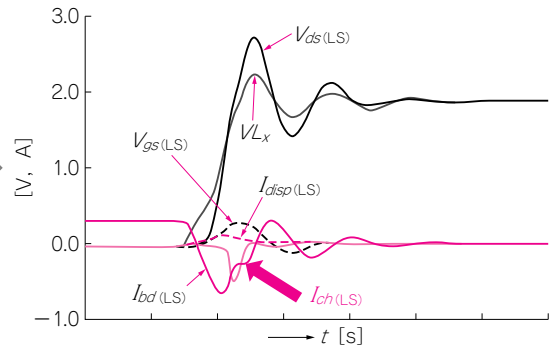


$$V_{gs1} = V_{gs2} \times \frac{R_g + r_g}{R_g}$$

〈図16〉 r_g によって本当のゲート電圧が見えない

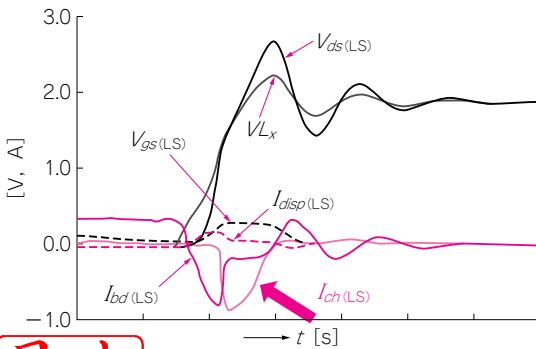


(a) 相対内部ゲート抵抗 $r_g : 1$

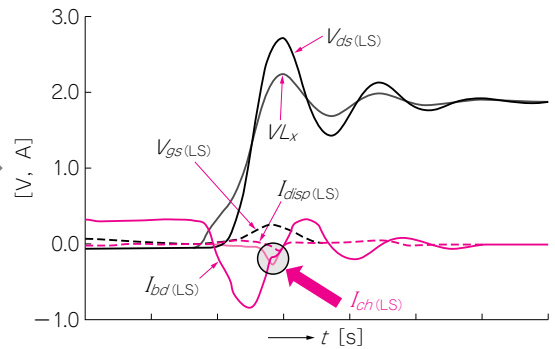


(b) 相対内部ゲート抵抗 $r_g : 0.5$

〈図17〉 r_g 低減の効果



(a) 相対 $C_{gd} : 1$



(b) 相対 $C_{gd} : 0.65$

〈図18〉 C_{gd}/C_{gs} 低減の効果

また、DC-DCコンバータにおいては、パワーMOSの r_g だけでなく、ドライバICの出力インピーダンスも重要です。通常、オシロスコープでプローブを使用して観測している V_{GS} 波形(図16の V_{gs1})は、実際のパワーMOSにかかっている V_{GS} 波形(図16の V_{gs2})とは異なっていることを、あらかじめ認識しておく必要があります。

▶ 効果(1)：ハイ側素子のスイッチング損失改善

● r_g 低減 ⇒ スwitching時間短縮 ⇒ スwitching損失の改善

ただし、この改善に伴いロー側素子のドレイン・ソース間に印加される dv/dt は高くなるため、セルフ・ターンONが発生しやすくなります。また、ノイズも増大することにつながるため注意が必要です。

▶ 効果(2)：ロー側素子のセルフ・ターンON現象の抑止

● r_g 低減 ⇒ ロー側素子の V_{gs} 電位上昇抑止 ⇒ セルフ・ターンON現象の抑止

図17に r_g 低減の効果…シミュレーション波形を示します。

● ロー側パワーMOS C_{gd}/C_{gs} 比の低減

同期整流におけるロー側パワーMOSに、ゲート-

見本

ドレイン間容量 C_{gd} とゲート-ソース間容量 C_{gs} の比が小さい素子を適用することでセルフ・ターンON現象を抑止する効果があります。

ただし C_{gd}/C_{gs} 比が小さくても、 C_{gs} が大きい製品の場合は、ドライブ損失の増大や Q_g 大に伴う長いデッド・タイムの設定が必要となるなどのデメリットにも注意が必要です。

- ▶ 効果：ロー側素子のセルフ・ターンON現象の抑止
- C_{gd}/C_{gs} の低減 ⇒ ゲート・ミラー容量への偏移電流を低減 ⇒ V_{gs} 上昇を抑止 ⇒ セルフ・ターンON現象の抑止

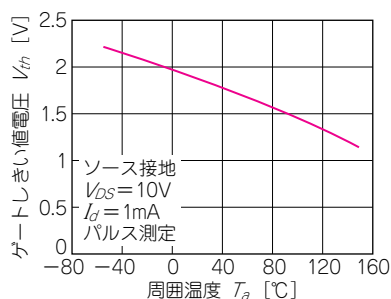
図18に C_{gd}/C_{gs} 低減の効果…シミュレーション波形を示します。なお、本計算は C_{gd} をパラメータに効果を検証しました。

● V_{th} (ゲートしきい値電圧) の最適化

ロー側素子のしきい値電圧 V_{th} レベルは、セルフ・ターンON現象の発生に影響します。もちろん V_{th} が高いほうがセルフ・ターンONは発生しにくいわけです。一般に V_{th} とオン抵抗には比例関係があり、同一デザインであれば V_{th} の高いものほどオン抵抗は高くなる傾向にあります。したがって、闇雲に V_{th} の高い製品を選べばよいわけではありません。また、 V_{th} は図19に示すように負の温度特性をもっているため、高温条件下では V_{th} が低下することを考慮することが必要です。

● アバランシェ破壊耐量の向上

パワーMOSのインダクタンス… I 負荷スイッチングにおけるターンOFF時のフライバック電圧や、寄



〈図19〉ゲートしきい値電圧の温度特性

	パワーMOS	世代	$R_{on}(typ)$ @ $V_{gs}=4.5V$	$Q_{sw}(typ)$ @ $V_{gs}=10V$
ハイ側	TPCA8023-H	5世代	12.1mΩ	5.0nC
	TPCA8030-H	5世代	9.6mΩ	5.0nC
ロー側	TPCA8019-H	5世代	3.1mΩ	15.5nC
	TPCA8028-H	6世代	2.3mΩ	20.0nC

(a) 使用したデバイス

〈図20〉旧世代品と最新世代品の効率比較データ

生インダクタンスの存在によって発生するスパイク電圧など、ドレイン-ソース間に最大定格を超える過電圧が印加され、パワーMOSがブレイク・ダウンするモードがアバランシェ現象です。

アバランシェ状態において素子の破壊限界(温度やエネルギー、 dv/dt)を超えると、素子の破壊につながります。現在のパワーMOSでは、保証項目としてデータ・シート上に記載されるほどの重要項目の一つです。デバイス・メーカーは最適な素子デザインにより、ほかの特性を犠牲にすることなく耐量を向上しています。

● 最新世代パワーMOSによる効率改善例

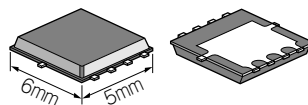
図20に東芝における旧世代品と最新世代品の効率比較データを示します。旧世代品に比較して、重負荷時の効率が約3%改善されていることがわかります。

パッケージの改善

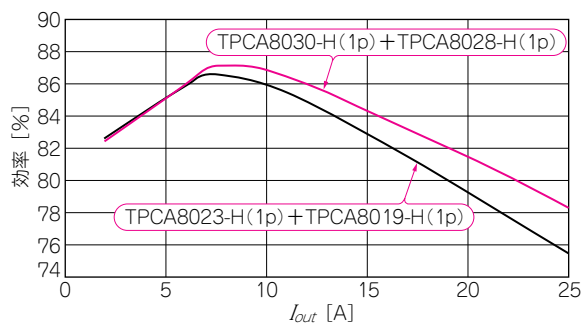
● 小型化と放熱性の向上の両立

ノートPCなどに使われるMPU用VRMは、MPUの電力アップに伴う大電流化が進み、それに使用されるパワーMOSも大電力対応が求められています。一方でノートPCは小型・薄型化が進み、メイン基板上の電源回路も高密度実装されることとなり、大電力を扱うパワーMOSにとっての放熱条件はますます厳しくなっています。

このような課題を解決するパッケージとして、図21に示すように素子の内部金属フレームがドレイン端子として裏面に露出し、放熱板としても機能するタイプのフラット・パッケージが主流になりつつあります。



〈図21〉SOP Advance パッケージ (株東芝)



(b) 効率の比較

また、3.3 × 3.3 mm 程度の比較的小型のパッケージにも同様の構造が適用され、一般的な5 × 6 mm のSO-8パッケージと同等の許容損失を実現し、機器の小型化に貢献しています。

図22はパワーMOSのパッケージ動向についてまとめたものですが、従来のパッケージ群より単位実装面積あたりの許容損失が向上していることがわかります。

● パワーMOSのもっている温度特性

パワーMOSには下記に示すように温度変化を伴う特性変化があります。そのため、高放熱パッケージを使用してチャンネル温度を低く抑えることは、長期信頼性の維持だけでなく、素子の特性を適正なレベルにコントロールするという意味でもたいへん有効です。大電力かつ小型化アプリケーションへの適用には不可欠です。

▶ 効果(1)：導通損失の改善

パワーMOSのオン抵抗には図23に示すように正の温度特性があり、チャンネル温度を低く抑えることは(オン抵抗 × 流れる電流²)による導通損失の低減につながります。

熱抵抗(放熱性)改善 ⇒ チャンネル温度低減 ⇒ オン抵抗低減 ⇒ 導通損失低減

▶ 効果(2)：セルフ・ターンONの発生抑止

先に述べたように、ゲートしきい値特性には負の温度特性(図19)があり、セルフ・ターンONを避ける意味でもチャンネル温度を低い状態で使用することは有効です。

● 熱抵抗(放熱性)改善 ⇒ チャンネル温度低減 ⇒ ゲートしきい値電圧低下防止 ⇒ セルフ・ターンON発生抑止

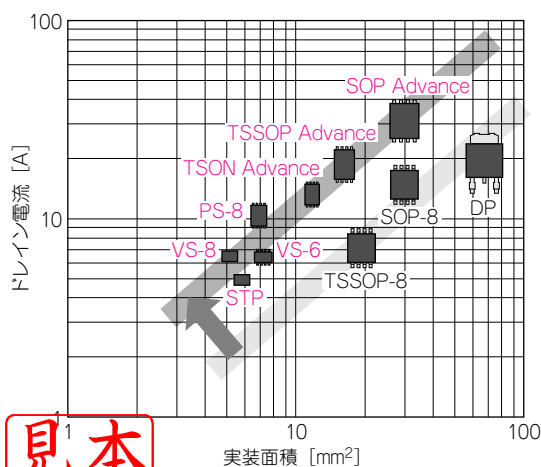


図22) パワーMOSのパッケージ動向 (株東芝)

● パッケージ抵抗の低減

素子(チップ)の集積度向上に伴い、パワーMOSのオン抵抗は大幅に改善されており、オン抵抗mΩの製品が一般的になっています。しかし、さらなるオン抵抗低減のためにはチップの改良だけでなく、パッケージの低抵抗化も重要な課題です。その一例として、図24に示すような金属リボンで内部接続する構造が主流になりつつあります。この構造は従来のボンディング・ワイヤの構造に比べると、オン抵抗を約2mΩ程度低減することが可能です。

● ソース・インダクタンスの低減

DC-DCコンバータの動作周波数の高周波化により、パワーMOSではスイッチング特性の改善が重要ですが、パッケージ側ではソース・インダクタンスの低減が重要課題となっています。

▶ 効果：DC-DCコンバータの損失改善

同期整流方式DC-DCコンバータにおいて、寄生インダクタンスのおよぼす悪影響についてシミュレーションした結果を紹介します。図25は、パッケージの寄生インダクタンスを簡易的に表現したDC-DCコンバータのシミュレーション回路です。

シミュレーション結果として、各寄生インダクタンスの電力変換効率への依存性をまとめたものを図26に示します。とくにハイ側素子のソース・インダクタンスの影響が大きいです。

詳しく波形を見てみましょう。

▶ ハイ側素子のソース・インダクタンスの影響

図27に、シミュレーションで計算したハイ側パワーMOSのゲート-ソース間電圧波形を示します。

パッケージの寄生ソース・インダクタンスで電圧降

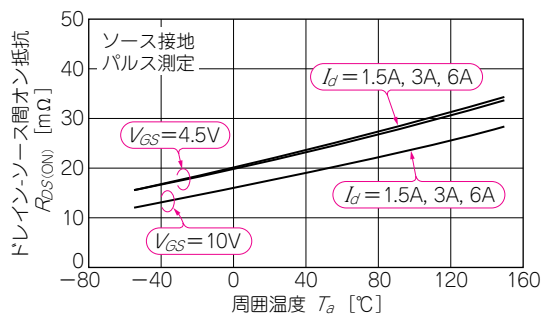


図23) オン抵抗の温度特性

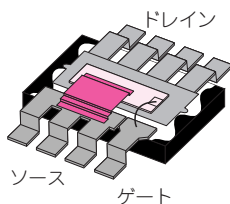
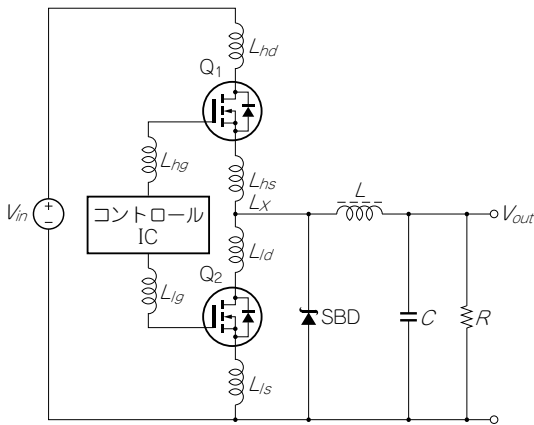
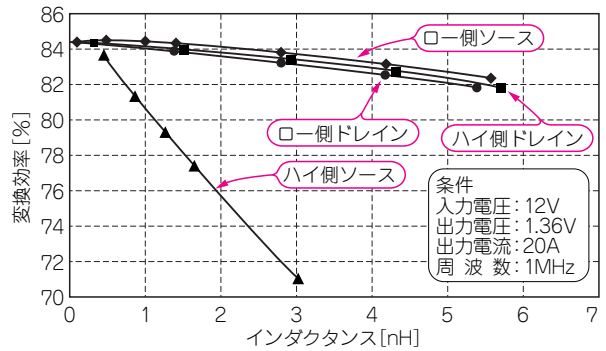


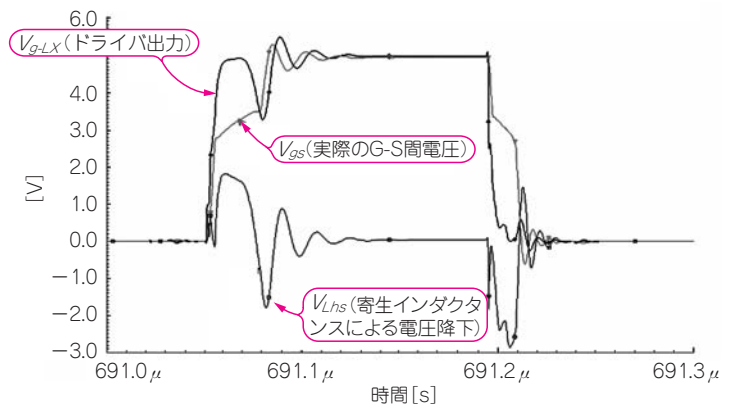
図24) アルミ・ストラップ構造 (株東芝)



〈図25〉 寄生インダクタンスの影響を確認する回路



〈図26〉 寄生インダクタンスの効率への影響



〈図27〉
 ハイ側パワーMOSの寄生ソース・インダクタンスによる V_{GS} の電圧降下
 V_{GS} : チップ上で観測されるゲート電圧
 V_{G-Lx} : パッケージ端子上で観測されるゲート電圧
 V_{Lhs} : 寄生インダクタンスでの電圧効果($V_{G-Lx} - V_{GS}$)

下が発生し、パワーMOSのゲート-ソース間電圧(V_{GS})はターンON時に大きくドロップしています。その結果、ゲートに十分な電圧が供給されないため、スイッチング時間の延長およびオン抵抗の上昇により、スイッチング損失が悪化していることが図28から読み取ることができます。わずかに1nHにも満たないソース・インダクタンスですが、損失に多大な影響を与えています。

● ロー側素子のソース・インダクタンスの影響

図25に示したように、ロー側素子のソース・インダクタンスはハイ側素子ほど効率に影響を与えていません。しかし図29の動作波形を見ると、ハイ側素子のドレイン-ソース間のサージ電圧を増大させ、スイッチング損失を悪化させています。ハイ側と同じように注意が必要です。

複合化と集積化

● 見本
 ● ロー側パワーMOSボディ・ダイオードの影響
 同期整流方式DC-DCコンバータにおいては、上

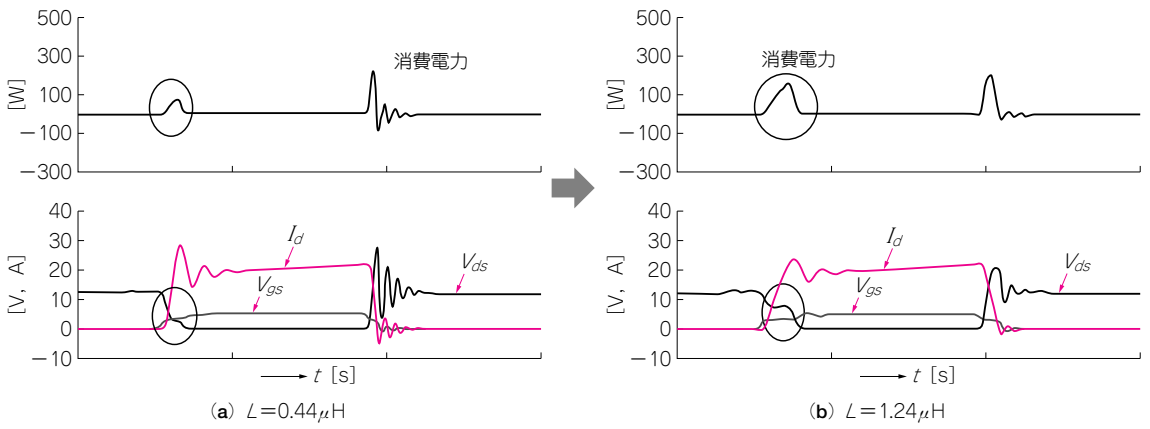
下パワーMOSの同時ONによる貫通防止のために、デッド・タイム期間が設けられます。この期間中に転流電流は、ロー側パワーMOSに並列に接続されたショットキ・バリア・ダイオードSBDを流れます。外付けSBDを接続していないときは、ロー側パワーMOSのボディ・ダイオードを流れることになります。

ただし実際には図30に示すように、外付けSBDのアノード端子とロー側パワーMOSのソース端子の間には、配線による寄生インダクタンスが転流電流のSBDへの流入を阻害します。そして、図31に示すように順電圧特性の悪いパワーMOSのボディ・ダイオードに転流電流が残ってしまうことが、シミュレーションからも明らかになっています。

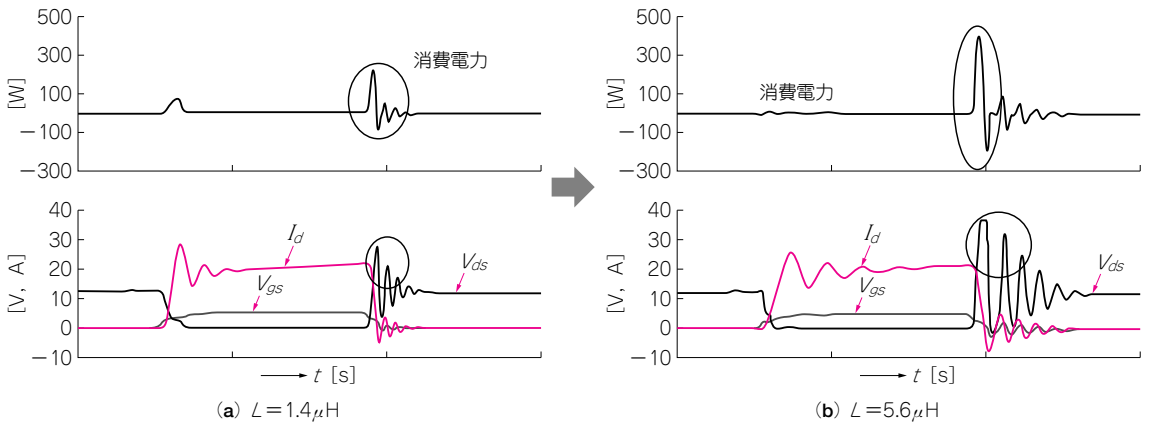
この場合、順方向電圧はSBDよりもボディ・ダイオードのほうが高いため、デッド・タイム期間中の導通損失の悪化、およびリカバリ(逆回復)損失が増大することになります。

● ロー側パワーMOSにSBDを内蔵すると

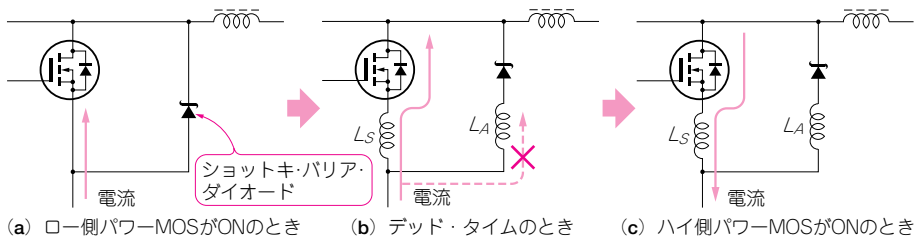
このようなDC-DCコンバータの高周波化に伴い、デッド・タイム期間中の損失(リカバリ損失を含む)改



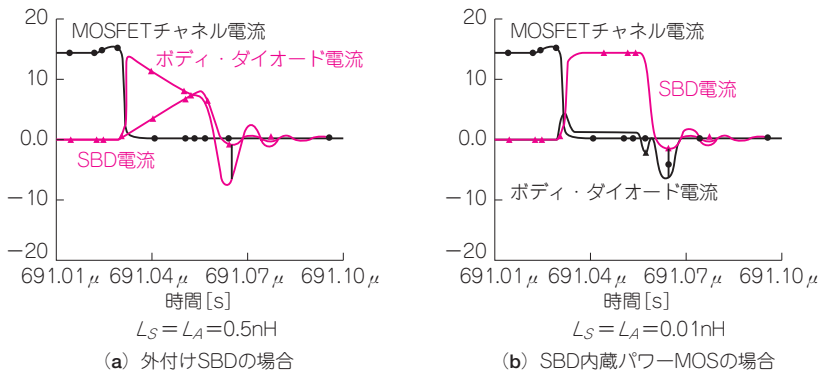
〈図28〉 ハイ側パワーMOSの寄生ソース・インダクタンスの影響



〈図29〉 ロー側パワーMOSの寄生ソース・インダクタンスの影響



〈図30〉 外付けSBDのときの寄生インダクタンスの悪影響



〈図31〉 SBD内蔵パワーMOSの効果

見本