

第1章

JTAG テストの必要性

電子応用装置の開発を行うとき、プリント回路基板を実装した後のテストの方法まで考えて設計しているでしょうか？『プロなら当然のことだ！』という声がどこからか聞こえてきそうです。

しかし、試作や一品物を作る場合には、つい手を抜きたくなるどころです。いかにしてプリント回路基板に接触させるテストプローブの本数を減らし、かつ効率よくテストを行えるようにするかということに、設計者は頭を悩ますことでしょう。

本書で紹介しているJTAGテスト(またはバウンダリスキャンテスト：Boundary-Scan Test)と呼ばれるテスト手法では、プリント回路基板上に実装したデバイスのほとんどすべてのピンに、シリコン製のテストプローブがあらかじめ接触した状態で内蔵されていることを前提にしています。この全く新しいボードテスト手法を意味する語句が、最近の半導体デバイスのデータブックや関連雑誌のあちこちに“バウンダリスキャン”，“JTAG”，“IEEE1149.1”などの文字として見かけることが多くなりました。

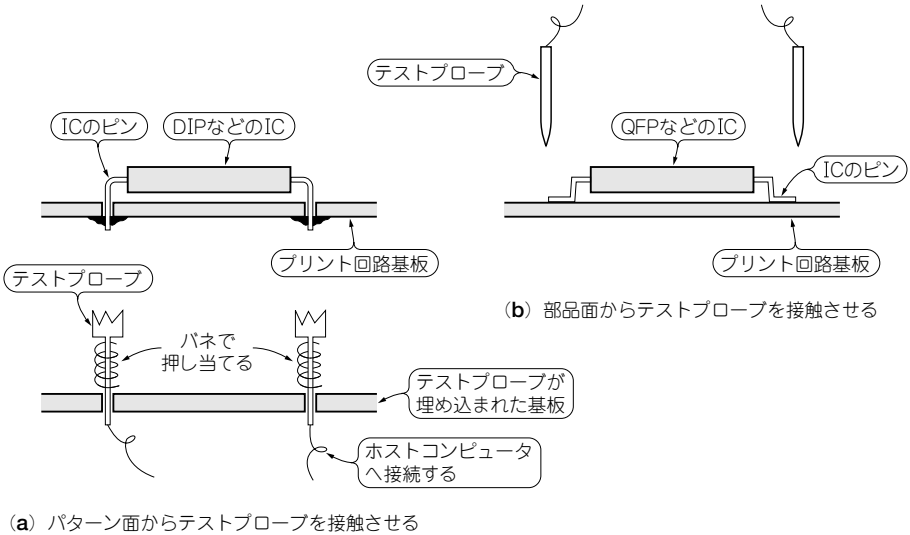
このJTAGテストに対応したデバイスを用いて開発したプリント回路基板の場合には、誰でもそのデバイスに内蔵されているシリコン製のテストプローブを用いたボードテストを行うことが可能となります。

では、急速に利用が広まりつつあるJTAGテスト手法の概要について、順を追って紹介していくことにしましょう。

1.1 従来の針山によるプロービングに限界

見本、ボードテストと言えば、基板のパターン面から生花で使う“針山”のような針山(テストプローブのセットされた盤)を押し当てて行う“インサーキットテスト手

図1-1 従来からのインサーキットテスト手法



法”が主流になっています(図1-1参照)。しかし、デバイス内部の高集積化がピン数を増加させている一方、高密度実装の需要からパッケージの小型化も進んでいるのが現状と言えるでしょう。

その結果、表面実装用の100ピンPQFP(Plastic Quad Flat Package)では、ピン間隔が0.65mmにまで狭まってしまい、インサーキットテスト手法で一般的に用いているテストプローブの直径0.8mmを下回ってしまっているのです〔図1-2(a)〕。そのため、図1-3のようにテストプローブを押し当てるテストパッドの配置を工夫するなどの対策を行って何とか凌いでいる状態ですが、余分な基板スペースを必要とすることから、高密度実装の妨げとなっていると言わざるを得ません。

さらに、最新のデバイスパッケージであるBGAP(Ball Grid Array Package)にいたっては、パッケージの裏側にボール状のリードが並んでいるという構造のために、プリント基板に実装した後では、テストプローブを押し当てるのが不可能となってしまうことが容易に理解できることでしょう〔図1-2(b)〕。

見本から、すでに実装後のプリント基板のインサーキットテスト法には、物理的限界がきていると言わざるを得ません。

図1-2 テストのためのプロービングに限界！

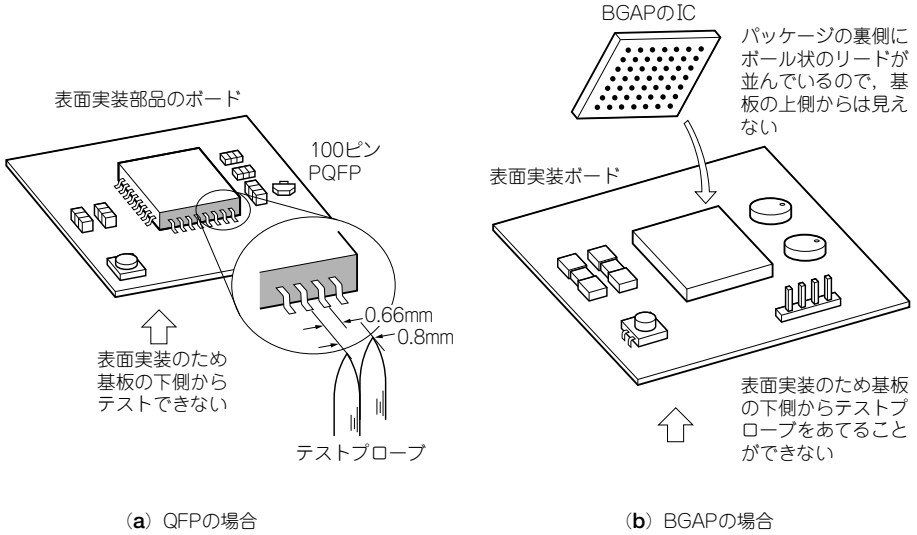
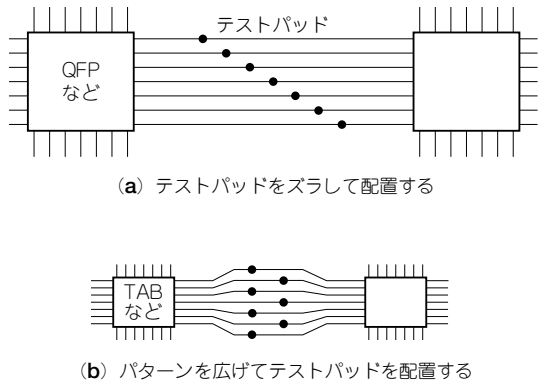


図1-3 テストパッドの配置を工夫した対策

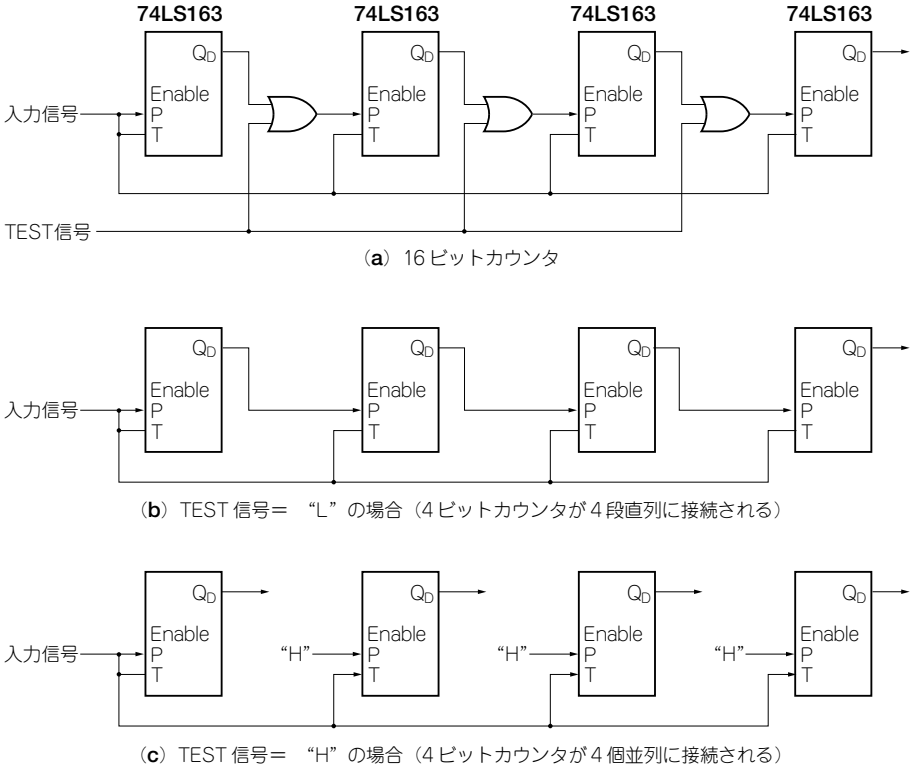


1-2 JTAGテストとは？

上記のような事態を救う新しいボードテスト法として登場したのが、JTAGテストです。このテスト法は、すでに1990年にIEEE1149.1として規格化されていましたが、当時は世界的に景気が良くなかったことと、対応したデバイスがほとんど存在していなかったこと

見本

図1-4 スキャンテストの例



など、普及のための必要条件が揃っていなかったため、ほとんど話題に上ることはありませんでした。

しかし、従来のインサーキットテスト法に限りがきてしまった今日にいたっては、またCPUのほとんどがJTAGテストに対応し(表1-1)、さらにはTI社やNS社などから汎用デバイスの対応版が提供され始めたことも手伝って、一気に採用が進もうとして動き出しているというのが現状です。

IEEE1149.1が規格化された1990年以降に開発されたデバイスの多くが、JTAG対応となっています。また、既存のデバイスにおいても、JTAG対応版が登場してきています。その代表例として、TI社の“Scopeファミリ”がありますが、これはTTL-ICとしてお馴染みの74シリーズのJTAG対応版となっています。

見本

表 1-1 主なJTAG対応デバイスの種類

メーカー名	型 名	説 明
Actel	ACT2A12xx ACT3A14xx 3200DX A32200DX	8KゲートFPGA 10KゲートFPGA 40KゲートFPGA 40KユーザブルゲートFPGA
Advanced RISC Machines Inc.	ARM60 ARM600 ARM610 ARM710 MEMC20 VIDC20	32-bit RISC プロセッサ 32-bit RISC プロセッサ 32-bit RISC プロセッサ 32-bit RISC プロセッサ メモリコントローラ ビデオコントローラ
Altera	FLEX10k FLEX8000 MAX7000 MAX9000	100KユーザブルゲートCPLD 16KユーザブルゲートCPLD 5KユーザブルゲートCPLD 12KユーザブルゲートCPLD
AMD	Am29035 Am29205 Am29245 Am79c864 Am79c940 Am79c960 MACH3/4/5 MACH211/231	32-bit RISC プロセッサ 32-bit RISC マイコン 32-bit プロセッサ FDDIコントローラ Ethernetコントローラ PCnet-ISA/Ethernetコントローラ 256/256/512マクロセルCPLD 64/128マクロセルCPLD
Analog Devices	ADSP-21020 ADSP-21020 ADSP-21060/62 AD7015	DSP 32-bit 浮動小数点DSP 32-bit 浮動小数点DSP(Sharc) オーディオコーデック
Atmel	ATL4-ATL160 AT6000ファミリ	157KゲートCMOS ASIC 20KゲートFPGA
Cypress	Ultra39000シリーズ Flash370iファミリ Ultra38000シリーズ	512マクロセルFlash ISR CPLD 128 マクロセルCPLD 20KゲートFPGA
Fairchild Semiconductor	SCAN182245A SCAN182373A SCAN182374A SCAN182541A SCAN18245T SCAN18373T SCAN18374T SCAN18540T SCAN18541T SCANPSC100F SCANPSC110F	18ビット非反転トランシーバ 18ビットラッチ 18ビットDタイプフリップフロップ 18ビット非反転ラインドライバ 18ビット非反転トランシーバ(トライステート出力) 18ビットラッチ(トライステート出力) 18ビットDタイプフリップフロップ(トライステート出力) 18ビット反転ラインドライバ(トライステート出力) 18ビット非反転ラインドライバ(トライステート出力) TAP用シリ/バラ変換(JTAG専用IC) SCANBridge(JTAG専用IC)
Fujitsu Microelectronics	MB86680 MB86683 MB86687 MB86689 86932/3/4/6 MB86930	SRE ATMスイッチエレメントASIC ATMネットワーク終端コントローラ ATM 追加層コントローラ ATM アドレス変換コントローラ 32ビットRISC SPARCベースドコントローラ(SparcLITE)

見本

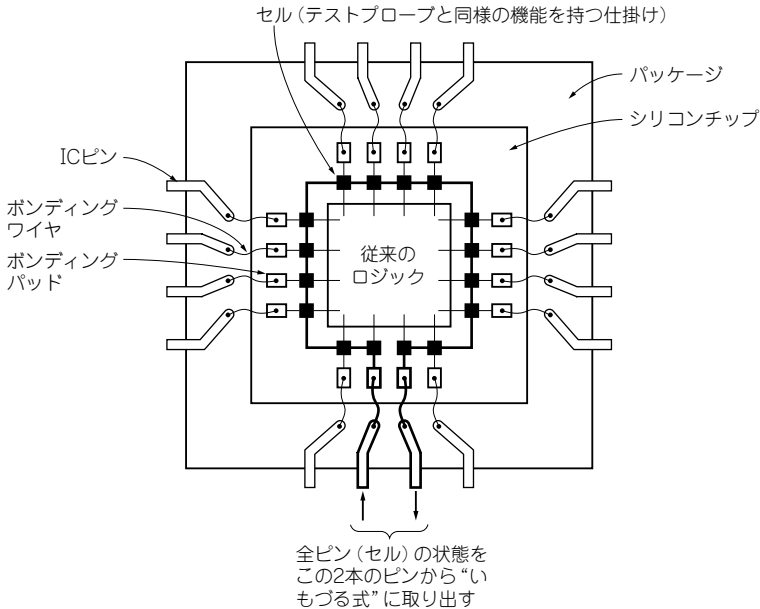
表1-1 主なJTAG対応デバイスの種類(つづき)

メーカー名	型名	説明
Hitachi	HG62S/G HM67S3632 SH-DSP	CMOSゲートアレイ 1Mビット, 66MHz同期SRAM 32ビットRISC DSP
IBM	CMOS4L/4LP/5L PowerPC403GA/B PowerPC601,602	230K/260K/1240K CMOSゲートASIC 組み込み用RISCマイコン 32ビットRISCプロセッサ
Intel	80486DX/DX2 80960HA/HD/HT 82490XP 82495XP 82490DX Pentium Pentium Pro	50MHzプロセッサ 64-bit RISCプロセッサ 80860XP 用キャッシュSRAM 80860XP 用キャッシュコントローラ キャッシュRAM 32-bitプロセッサ 32-bitプロセッサ
Lattice Semiconductor	ispLSI2000/3000 ispLSI6000ファミリ	122KユーザブルゲートCPLD 25Kゲート, 135MHzクロックCPLD
Lucent Technologies	DSP16xx DSP1617 WEDSP1610 ATT1C03シリーズ ATT2C04シリーズ ATT2TxxAシリーズ BL497AA	16ビットDSP 16ビット浮動小数点DSP DSP 11.4KゲートFPGA 26KゲートFPGA 60KユーザブルゲートFPGA バウンダリスキャンマスタ(JTAG専用IC)
Mitsubishi	M6007Xシリーズ M6008XLシリーズ M6008XHシリーズ M6011Xシリーズ*	40KゲートCMOS ASIC 100KゲートCMOS ASIC 400KゲートCMOS ASIC 1000KゲートCMOS ASIC
MIPS	R4000	RISC プロセッサ
Motorola	DSP56L811/12 68EC040/060 68LC040/060 68306/7 68330/40/49/56 68040/60 88110 PowerPC601/3/4 PowerPC620 MP17-1000シリーズ MPA1000シリーズ H4C/Plus	16ビットDSP 32-bitプロセッサ 32-bitプロセッサ 16-bitコントローラ 32-bitコントローラ 32-bitプロセッサ RISCプロセッサ 32ビットRISC プロセッサ 64ビットRISC プロセッサ 14.2KゲートFPGA 10KコアセルFPGA 312K/278KゲートASIC
National Semiconductor	DP83266 DP83840	FDDIコントローラ 10/100Mbps Ethernet Physical Layer
NEC Electronics	CMOS-8L/8LCXファミリ QB-8/8EA μ PD98407 μ PD77016/17 μ PD7701x	627KゲートASIC(JTAGによるクロステック機能付き) 223KゲートASIC ATM用プロセッサ(PCIインターフェース付き) DSP 16ビット固定小数点DSP
見本 Semiconductors	MSM10R0000 MSM10S0000 MSM91S/92S/98R	542KゲートCMOS ASIC 77KゲートASIC 62K/132K/500KゲートASIC

表1-1 主なJTAG対応デバイスの種類(つづき)

メーカー名	型名	説 明	
Philips Semiconductor	PGT200	1.5 μ mゲートアレイ	
	VGT450/50	0.8/1.0 μ mゲートアレイ	
	VSC350/370/450	1.5/1.0/1.0/0.8 μ mゲートアレイ	
	PPZ3032/5032	3.3/5.0V32マクロセルCPLD	
	SAA7201/5/6/7	デジタルメディア放送用IC	
	TDA8043/46	デジタルメディア放送用IC	
	PCF5081	DSP	
Sharp	7145	マルチメディアPCIブリッジ	
	LH77790	32ビットRISCプロセッサ	
Texas Instruments	LH74610	ARM610ベースRISC マイコン	
	TMS320C4x	32ビット浮動小数点DSP	
	TMS320C50/51	固定小数点DSP	
	TMS320C52	16ビット固定小数点DSP	
	TMS320C53	固定小数点DSP, 32-bitプロセッサ, 45MHz	
	TMS390S10	マイクロSPARC, 32-bitプロセッサ, 50MHz	
	TMS390Z50	スーパーSPARC, 32-bitプロセッサ, 45MHz	
	TMS390Z55	マルチキャッシュコントローラ	
	TEB2000/E	BiCMOSゲートアレイ	
	TEC1000/LV	CMOSゲートアレイ	
	SN74ABT8240/244	オクタルバッファ	
	SN74ABT8245	オクタルトランシーバ	
	SN74ABT8373	オクタルD-タイプラッチ	
	SN74ABT8374	オクタルD-タイプFF	
	SN74ABT8543/646	オクタルトランシーバ	
	SN74ABT8652	オクタルトランシーバ	
	SN74ABTH182502/4	18/20ビット汎用トランシーバ	
	SN74ABTH182646/52	18ビットトランシーバ	
	SN74BCT8240/244	オクタルバッファ	
	SN74BCT8245	オクタルトランシーバ	
	SN74BCT8373	オクタルD-タイプラッチ	
	SN74BCT8374	オクタルD-タイプFF	
	SN74FB2031/32	9ビットTTL/BTLトランシーバ	
	SN74FB2040/41	8/7ビットTTL/BTLトランシーバ	
	SN74VT182245/502	18ビットトランシーバ(低電圧用)	
	SN74VT182504	20ビットトランシーバ(低電圧用)	
	SN74VT182646/52	18ビットトランシーバ(低電圧用)	
	SN74ABT18240/244	18ビットバッファ	
	SN74ABT18245	18ビットトランシーバ	
	SN74ABT18373	18ビットD-タイプラッチ	
	SN74ABT18374	18ビットD-タイプFF	
	TPC1225/1240/1280	FPGA	
	SN74ABT8996/8990	JTAG専用IC	
	SN74ABT8994/8997	JTAG専用IC	
	SN74ABT8999	JTAG専用IC	
	Toshiba	TC110G/140G/165G	1.5/1.0/0.8 μ mゲートアレイ
		TC24SC/25SC	1.0/0.8 μ m 標準セル
	見本	XC9500	12.8KユーザブルゲートCPLD
		XC3000/4000	7.5K/12.5KゲートFPGA
		XC8100	9.4Kユーザブルゲート(ワンタイム版)

図1-5 テストプローブの機能を内蔵したIC(JTAG対応デバイス)

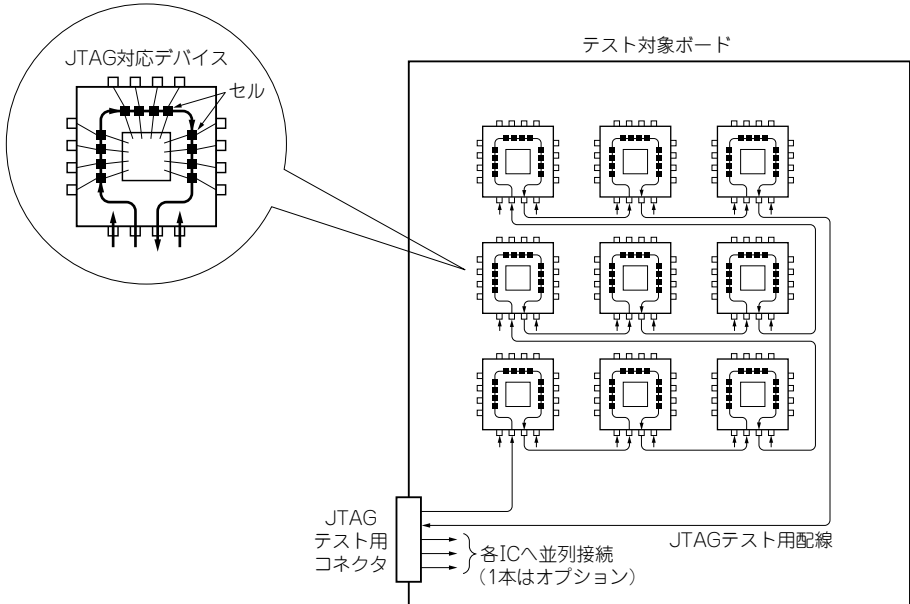


ASIC設計の分野で、ごく一般的に使用される言葉に“スキャンテスト”というのがあります。設計したASICの回路不良を効率よく発見するために、あらかじめテスト専用の配線を配置しておくという方法です。図1-4に16ビットカウンタ回路への適用例を示します。

この回路では、TEST信号=0のときは正常動作、つまり16ビットカウンタとして動作しますが、TEST信号=1とした場合には、16ビットカウンタが4ビットカウンタ4個に分かれ、それぞれが同じ入力信号によって並列に動作するように回路構成が変化しますので、テスト期間を短縮することができます。

“バウンダリスキャンテスト”は、「テスト容易化設計」という意味において、スキャンテストと似ていますが、IC内部の動作テストやプリント回路基板実装後のボードテストを効率よく行うための、まったく新しいテスト手法として登場してきました。ちなみにバウンダリとは、ICのピンと内部のシリコンチップとの接続点(境界)を意味しているように思われます。ICピンとシリコンチップの境界(バウンダリ)を走査(スキャン)して行うテストが、バウンダリスキャンテストなのです。

図1-6 たった5本だけの接続でプリント基板上的のほとんどすべての箇所がテスト可能



1.3 金属針からシリコン針に代えて内蔵する

JTAGテストに対応したデバイスとは、デバイスの内部ロジック(デバイスの本来機能を作り出している部分)と各ピンとの間に、セルというシフトレジスタを配置し、ここを通過する信号を監視したり、任意データを注入したりすることができるようにした構造も持っているICのことです(図1-5)。つまり、セルが、従来のインサーキットテスト法におけるテストプローブと等価な働きをしますので、そのため、このセルはシリコン針(silicon nail)とも呼ばれています。

したがって、この方法によるインサーキットテストを行うには、プリント基板上のデバイス(必ずしもすべてである必要はない)が、このテスト法をサポートしていることが前提となります。JTAG対応デバイスが採用されているとすると、最大で5本(通常4本)の専用線を必要とするだけで、デバイス自身の内部テストをはじめ、外部回路との相互接続テスト(プリントパターンのチェック)などを通して、プリント回路基板上的のほとんどの箇所

見本

表1-2 JTAG規格化の歴史

1985年	Philips, British Tel などの欧州企業数社がJETAG(Joint European Test Action Group)を結成
1986年	Hewlett-Packard など米国企業が加わりJTAG(Joint Test Action Group)に改名
1988年	JTAG第2版を IEEE Testability Bus Committee(P1149)へ提案
1989年	IEEE1149.1「Test Access Port and Boundary Scan Architecture」の無記名投票
1990年	IEEE Standard 1149.1-1990規格「IEEE Standard Test Access Port and Boundary Scan Architecture」の制定
1996年	IEEE P1149.4 ワーキンググループ「Standard for a Mixed-Signal Test Bus」規格の審議継続

所の状態をテストすることが可能になります(図1-6).

1.4 JTAG テスト規格化の歴史

JTAGテストは、1985年にヨーロッパで最初に提案されました。そのときの委員会名称はJETAG(Joint European Test Action Group)でした。その後、1986年に北米からのメンバーが加わり、委員会名称も European がとれてJTAG(Joint Test Action Group)に改められ、1988年にかけて標準化が検討されました。その最終案は、1988年にIEEEのテスト容易化バス標準化委員会(P1149)に提案され、1990年に規格化されたのがIEEE std 1149.1-1990 Standard Test Access Port and Boundary-Scan Architecture というわけです(表1-2参照)。

この規格は、正式な規格名称よりも、その協議会名称であるJTAG(Joint Test Action Group)のほうが、規格名称であるかのように扱われて普及し始めています。この傾向は、画像圧縮の規格として知られている“MPEG”(Moving Picture Experts Group)や“JPEG”(Joint Photographic Experts Group)などにも現れています。

最近、“JTAG対応”という文字を、デバイスメーカーの広告の中に見受けられるようになりました。そのため、本書においても、JTAGテストがバウンダリスキャンテストやIEEE1149.1規格を指しているものとして、使用することにしました。

なお、表1-2の最後にあるIEEE P1149.4「Standard for a Mixed-Signal Test Bus」は、現在のJTAGテストがデジタルデバイスにのみ適用できるのに対して、アナログデバイスにまでテスト範囲を拡大しようとするものです。この規格によると、デジタルデバイスとアナログデバイスが混在するプリント回路基板についても、一度にテストすることが可能になります。本書が出版される頃には、正式に規格化されているかもしれませんが、そのくらいまで、検討が進んでいるようです。

第2章 JTAG テスト対応デバイスの仕組み

JTAGテストとは、デバイス(集積回路)のすべての外部入出力ピンを順次走査してテストデータの入出力を行い、デバイスの内部機能や実装されているプリント回路基板のテストを行う方法です。したがって、この方法によるテストを行うには、プリント回路基板上の回路を構成しているデバイス(すべてである必要はない)が、このJTAGテスト法をサポートしていることが前提となります。

ここでは、JTAGテストに対応しているデバイスの仕組みについて説明します。

2.1 レジスタの種類と機能

JTAG対応デバイスには、デバイス本来の機能を行うための内部ロジックのほかに、図2-1に示すような四つのレジスタと、それらを制御するTAPコントローラとによって構成されるテストロジックが内蔵されています。

レジスタは、データレジスタとインストラクションレジスタとに分けられ、さらにデータレジスタには、バウンダリスキャンレジスタ、バイパスレジスタ、オプションレジスタなどがあります(表2-1)。オプションレジスタ以外は、JTAG対応デバイスにとって必須のレジスタです。

● バウンダリスキャンレジスタ

図2-1からわかるように、内部ロジックと各デバイスピンとの間に、セルと呼ばれるシフトレジスタを配置しているところが、従来のデバイスと大きく異なっています。これらのセルによって、各ピンで発生する事象を観測(信号入力)したり制御(信号出力)したりすることが可能となるのです。

見本

図2-1

JTAG対応デバイスの構成

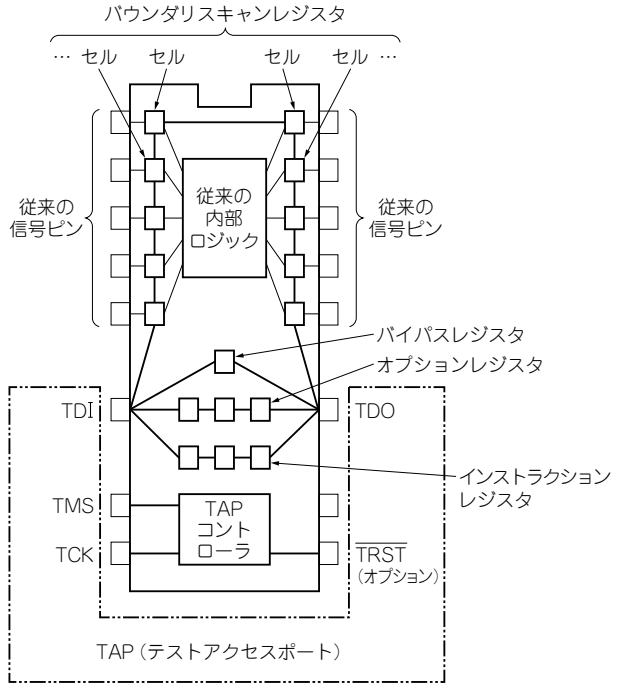


表2-1 JTAG対応デバイスのレジスタ

レジスタの種類		役割
必須	インストラクションレジスタ	TAPコントローラ用の命令を読み込んでデコードする
	データレジスタ	バウンダリスキャンレジスタ バイパスレジスタ
オプション	IDCODEレジスタ その他????	デバイスを識別 ????

つまり、セルが従来のテストプローブと等価な働きをしているのです。そのため、シリコン針(silicon nail)とも呼ばれています。そして、そのセルを一連に接続したものがバウンダリスキャンレジスタと呼ばれ、JTAGテストでは重要な働きを担っています。主なCPのバウンダリスキャンレジスタのビット長を、表2-2に示しますが、デバイスの信号ピン数の増大と共に、レジスタのビット長も長くなっていることがわかります。

見本

表 2-2

主なCPUのパウンダリ
スキャンレジスタ長

メーカー名	プロセッサ名	バウンダリスキャン レジスタ長
AMD	Am29030	141ビット
	Am29200	188ビット
INTEL	i486DX(50MHz版)	104ビット
	i869XP	150ビット
	Pentium Pro	160ビット
MIPS	R4000	319ビット
MOTOROLA	MC68040	184ビット
	PowerPC 604e	204ビット

ここで、セルの内部を詳細に示すと、図 2-2 のように1ビットのシフトレジスタと1ビットのラッチによって構成されています。そして、セルの使用法には、以下のような2種類の方法があります。

セルの「信号入力」を「ICピン」へ接続し、「信号出力」を「内部ロジック」へ接続するように使用した場合には「入力セル」と呼び、逆に「信号入力」に「内部ロジック」を接続し、「信号出力」に「ICピン」を接続した場合には「出力セル」と呼びます。マイクロプロセッサのデータバスのように、データの流れる向きが双方向(両方向)の場合には、「入力セル」と「出力セル」の両方をそれぞれ用意し、入/出力によって選択できる構造となっているタイプと、セルそのものが双方向用に作られているタイプの2種類があります。一般的なのは、前者のようです。

● バイパスレジスタ

バイパスレジスタは、TDIから入力されるデータを、最短経路でTDOへバイパスさせるための経路を提供するためのレジスタです。これは、プリント基板上に複数のJTAG対応デバイスが実装されていた場合、それらはTDIとTDOを用いて直列に接続されているため、テスト不要なデバイスをスキップさせるときに使用します。

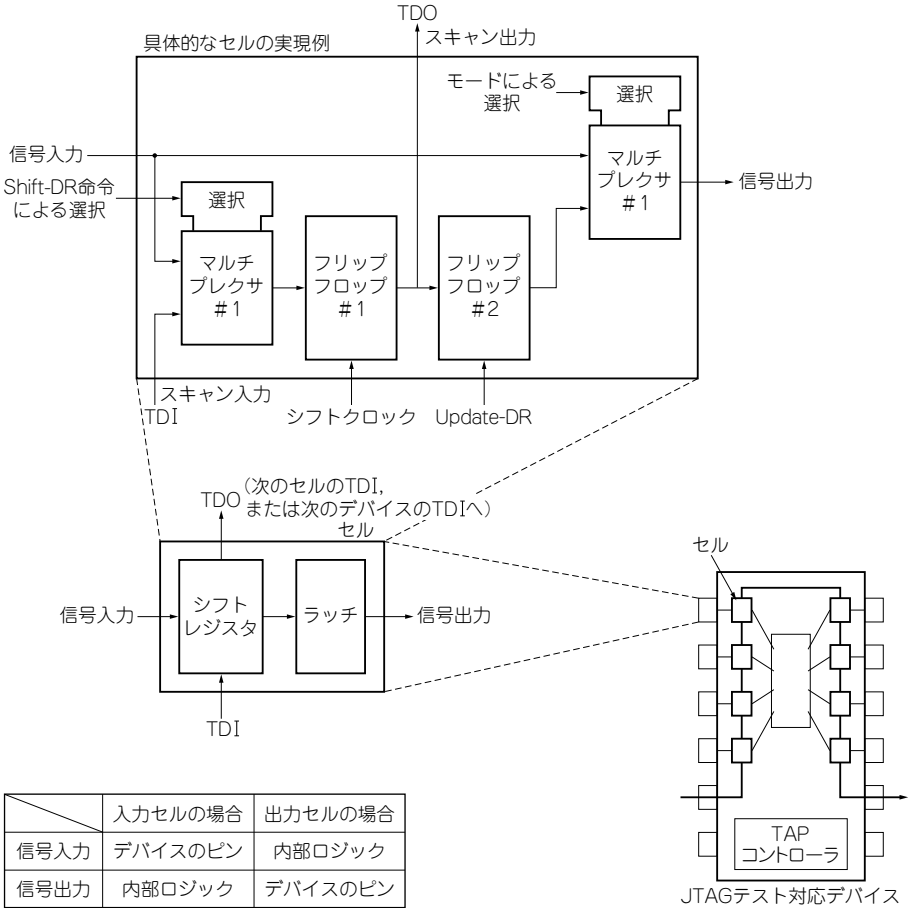
これにより、プリント基板上のシリアルデータ伝送ループ(スキャンチェーンと呼ぶ)の総ビット数を、いくらかでも短くすることができます。つまり、テスト実行に要する時間を短縮することに貢献します。

● オプションレジスタ

オプションレジスタには、デバイスを識別するためのIDCODEレジスタをはじめ、デバイスに固有のレジスタなどがあります。IDCODEレジスタは、デバイスおよび製造メ

見本

図2-2 セルの構造



ーカーを識別するためのものです。

このレジスタは32ビット長のレジスタで、ビット構成が図2-3のように、MSB側からバージョンフィールド(4ビット)、パート番号フィールド(16ビット)、製造者ID(11ビット)、そしてLSBには“1”の値が予約されています。しかし、このレジスタを実装しているデバイスは、現状では少ないようです。



図2-3
ICODEレジスタの構成

		MSB			LSB
		31	27
		12	11	1 0
バージョン 4ビット	パート番号 16ビット	製造者ID 11ビット	“1”		

表2-3 TAPの信号線の種類と機能

TAPの信号線	機 能
TDI (Test Data In)	テストロジックに対して、命令やデータをシリアル入力する信号で、TCKの立ち上がりエッジでサンプリングされる。
TDO (Test Data Out)	テストロジックからのデータをシリアル出力する信号で、TDOの出力値の変更はTCKの立ち下がりエッジで行う。
TCK (Test Clock)	テストロジックにクロックを供給する。シリアルテストデータ経路を、コンポーネント固有のシステムクロックと独立して使用できるようにする専用入力。
TMS (Test Mode Select)	テスト動作を制御する信号で、TCKの立ち上がりエッジでサンプリングされる。この信号はTAPコントローラがデコードする。
TRST (Test ReSeT)	TAPコントローラを非同期に初期化する負論理信号で、オプションである。TMSがHigh状態で、TCKの立ち上がりエッジを5回検知した場合にも、この状態となる。

● インストラクションレジスタ

図2-1のインストラクションレジスタは、TAPコントローラ用の命令ビットを読み込んでデコードするもので、その結果、デバイスに各種の機能を実行させることができます。実装する命令の種類や命令コードの割り当ては、デバイスごとに自由に決めてよいことになっているため、インストラクションレジスタのビット長は、デバイスによって異なっている可能性があります。命令の詳細については後述します。

2.2 TAP(テストアクセスポート)とは

テストロジックに対する命令やテストデータ、テスト結果のデータなどの入出力を行うためのシリアルインターフェースは、TAP(Test Access Port)と呼ばれ、表2-3に示すように5本(TRSTを除く4本でも可)の信号線を持っています。これらの信号線を、外部のホストコンピュータから制御することによって、JTAGテストを実施することになります。

TAPコントローラは、TMS(Test Mode Select)信号とTCK(Test Clock)信号によって、**見本**パシフィックレジスタを制御する16ステートマシン(順序回路)で、JTAGテストの中心的な役割を演じている部分と言えます。