

# 第 1 章

## 半導体の 3 次元実装技術の重要性

### 1-1 半導体の高密度化とシステム化

現代社会を支えるエレクトロニクスにおいて、半導体デバイスがその根幹にあることはいうまでもない。半導体デバイスのトランジスタの数(集積度)は、開発当初の1960年ごろはチップ当たり10個前後だったものが、その後の約50年の間に数千万個～数億個まで増加した。驚くべきことに、シリコンチップの大きさはその間ほとんど変わっていないのである。

その理由の一つは、ICが発明された直後から休みなく続けられてきた、シリコン・ウエハプロセスの微細加工技術による回路の高密度化と高集積化の成果といえるだろう。半導体の高密度化がLSIやメモリの性能向上と価格の低下に大きく貢献し、高性能な電子機器が容易に手に入る現在のエレクトロニクス時代、IT時代を支えているのである。

しかし、今までの技術の改良・改善だけでさらなる高密度化を進めることは、技術的な理由や経済的な理由のために、現在は曲がり角に来ていると考えられている。そして、この問題を解決できると期待されているのが、立体的な構造を持つ3次元実装技術であり、パッケージ・オン・パッケージ(PoP, 第2章)、チップ・スタック(第3章)、チップ・オン・チップ(CoC, 第5章)、シリコン貫通電極(TSV, 第8章)などを採用した各種のデバイスである。

半導体が高密度化すると同時に、半導体デバイスの種類と用途も大きく広がった。たとえば、ディスクリート素子、アナログIC、ロジックLSI、マイクロプロセッサ、DRAM、フラッシュ・メモリ、LED、パワー・デバイスなど、その種類は今や数万種類を超えるといわれている。すべての電子機器は、それらの中から

見本

必要なデバイスを選んで回路基板上に組み立てられる。この組み合わせを一般にシステムと呼んでいる。典型的なシステムの例は、携帯電話機やパソコンなどのように、マイクロプロセッサとDRAMおよびフラッシュ・メモリを組み合わせたものである。

これらの組み合わせを一つのパッケージの中に、3次元構造で立体的に組み込んだものがシステム・イン・パッケージ(System in Package, SiP)である。現在実用化されている3次元実装デバイスは、異なる種類のチップを組み合わせたSiPが多いので、3次元実装とSiPをほとんど同義語と考えている人も多い。図1-1に、現在の3次元実装の中心となっているパッケージ・オン・パッケージと、次世代の3次元実装と期待されているTSV積層メモリの標準構造を示す。

### ● SoC と SiP どちらが有利

ここで、システム・オン・チップ(System on Chip, SoC)とSiPの対比について触れておこう。上述した各種のチップの組み合わせを一つのチップの中で構成するのがSoCであり、複数のチップを組み合わせるSiPよりも小型で安価にできる可能性がある。SoCは、半導体としては理想的なアプローチともいえるが、実際に実現するには問題が多い。

まず、複雑なシステムLSIを設計し試作するために、回路構成とその検証に一般に6か月～1年を必要とする。さらに、回路パターンマスク作製費も数枚のセットで3千万円から5千万円かかるといわれている。これらの初期費用を吸収するためには、そのチップを最低百万個以上販売することが必要になる。携帯電話機に見られるように、新しい機種が3か月ごとに次々と開発されるようなケースでは、設計・試作が間に合わない上に、1機種の売り上げが数万～数十万個程度では、新規にチップを設計していたのではコスト的に合わない。

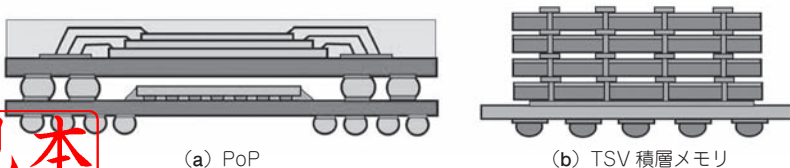


図1-1 代表的3次元実装デバイス

また、プロセッサとメモリの組み合わせが多種類に及ぶような製品では、当然SoCでは作れない。さらに、SiPについてもプロセッサとメモリの組み合わせをすべて半導体メーカーで在庫しておくことはできないので、ユーザ自身が作ることができるフレキシブルなSiPの需要は大きいと考えられる(第2章 2-2節を参照)。このように、現在の市場では経済的、流通的な問題によりSiPがSoCに対してはるかに有利な状況にあるといえる。

## 1-2 半導体は平面から立体へ

チップの中に入るトランジスタの数は、1965年にインテルのゴードン・ムーアが唱えた「半導体に集積されるトランジスタの数は、1年半で2倍のペースで増加する」という、いわゆるムーアの法則にしたがって、これまで休みなく増加してきた。ムーアの法則は、現在までの実績により正しかったことが実証されている。

ムーアの法則を支えるものに、スケーリング則(半導体サイズの比例縮小則)がある。これは、微細加工技術を発展させてトランジスタのゲート長が短くなると、それに比例してスイッチング速度が向上し電力消費が減少するという法則であり、ハーフ・ピッチと言われる最小加工線幅(最下層配線のピッチの半分で定義される長さ、従来はテクノロジー・ノードともいわれた)が、140nm程度まではよく適合するので微細加工を推進する原動力となっていたが、さらに短いハーフ・ピッチでは配線の寄生容量などの別の要因で適合しにくくなってきた。

しかし、微細加工技術そのものは半導体のコストダウンに極めて有効であり、ムーアの法則に従う形で止まることなく進行している。現時点におけるハーフ・ピッチは45nm前後であるが、次世代の32nmに向かって量産化が準備されている。ITRS(国際半導体技術ロードマップ)の予測で、2015年にはハーフ・ピッチが20nmレベルになるとされ、この長さはシリコン原子が数百個のサイズに近づきつつあり、数年後には微細化の限界が来るのではないかと考えられている。

現時点においても、この超微細加工を実現するためには高度な技術開発が必要であり、**見本** 微細加工をするための露光装置を始めとする超精密装置の価格もますます高額となっている。たとえば、最先端の露光装置は1台数十億円にもなり、半

導体メーカー1社で可能な設備投資の限界をすでに超えているといわれる。また、チップのコストを下げるために300mm径の大型のウエハが増加しつつあり、製造装置の大型化、高価格化に拍車をかけている。さらに、賛否はあるが450mm径のウエハも検討され始めている。このような状況から、半導体事業からの撤退、工場売却、メーカー同士の合併、開発協力などの動きも活発化している。

このように考えると、巨大な半導体産業が技術的にも曲がり角に差ししかかっているという見方ができる。とはいえ、半導体の原点に戻って考えてみると、シリコンチップの中で動作するのに必要な厚さはわずかに表面の数 $\mu\text{m}$ であり、それ以外のシリコン(厚さは100～400 $\mu\text{m}$ )は、チップの機械的な強度を保つための補強用の材料にすぎない。それならば、この数 $\mu\text{m}$ のチップを10枚、立体的に重ねることができれば10倍の集積度になるのではないか。これが、3次元構造の基本的なアイデアなのである。

## ● More than Moore と More Moore

この着想は誰が考えても明らかであり、以前からいろいろな研究開発が行われてきた。しかし結局は、現在の平面構造をしのぐ1個のチップ内での立体構造は成功しなかった。一方、2000年ごろからエレクトロニクス実装技術が飛躍的に発展し、システム化の要求から多種類のチップを組み合わせる必要が出てきたことと、電子機器の小型化、高性能化が強く要求されたことが推進力となり、それまでに蓄積された実装技術を使った多くの3次元実装技術が開花した。

半導体の今後の進む方向は、欧米の論理的な思考からも、微細加工一本槍から脱却して、別のアプローチを探る動きが顕在化している。たとえば、IBMなどが提案している“More than Moore”(ムーア以上、日本語では「機能的多様化」というのが適当)という思想が目ざされている。これに対し、微細化によってムーアの法則をさらに押し進めようとするのが、ムーアの所属するインテルなどによる“More Moore”(もっとムーア)という「幾何学的微細化」の思想といえるだろう。

More than Mooreは、現在の主流であるデジタル・シリコンチップだけではなく、アナログ・チップや受動部品内蔵チップ、センサ、バイオ・チップ、MEMS(微小電子機械)デバイスなど、広範なデバイスの3次元実装と考えてよい。

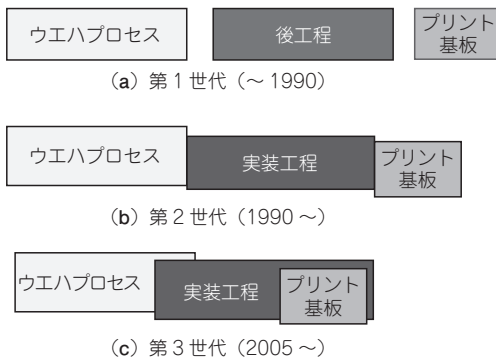
見本

一方、More Mooreは、微細加工の限界を想定しながらも、もう1段の微細化にチャレンジしようとする思想である。したがって、この二つの流れは必ずしも対立するものではなく、互いに協力し合ってさらに高機能なシステムの開発やコンピュータの性能向上を目指すものといえる。すなわち、More Mooreはシリコン・ウエハ上で平面的、2次元的に微細加工を追求し、More than Mooreはデバイスの組み合わせから必然的に立体的、3次元実装的な高密度化を追求している。

### 1-3 ウエハプロセスと実装技術

実装技術(Packaging Technology, またはJisso)は、半導体の特性をフルに発揮させ、電子機器を小型・高性能化する技術といえるが、数年前までは半導体を加工するウエハプロセス(前工程)に対する後工程という意味で使われていた。この場合の前工程と後工程では、技術内容や材料、設備、工程が大きく違うため、両者の間の技術交流は少なかった。

ウエハ技術者はウエハプロセスこそ半導体技術そのものであり、良いチップを作って後工程に渡せば、なんとかデバイスに仕上げてくれるものと考えていた。半導体メーカーの経営者によっては、後工程は投資金額の少ない別会社にする場合もあり、前工程ほど関心を払わないことが多かった。さらに半導体デバイスを基板上に載せる作業は、また別のアSEMBリと呼ばれる専門的な会社にまかせるという分業の状態だった。これを、図1-2の第1世代と呼んでおこう。



見本

図1-2 ウエハプロセスと実装技術の接近

1990年以後になると、半導体の小型化、高性能化、低コスト化を旨としてフリップチップや、チップ表面の追加再配線、金属バンプの作製、BGA (Ball Grid Array)、CSP (Chip Scale Package) などのエリア・アレイ構造が必要になり、チップに直接加工する必要が出てきて実装技術が徐々に変わり始めた。また、半導体デバイスを搭載する基板の分野でも、高精度ビルドアップ基板、微細配線、スルーホール、微細ビアなどが必要になり、ビルドアップ基板技術を高密度半導体パッケージに適用するためのインターポーザなどが開発された。すなわち、もはや後工程ではなく実装技術として確立され、図1-2の第2世代としてウエハ・プロセス、実装、基板を一体化したマイクロエレクトロニクス概念が必要になった。1998年に発足したエレクトロニクス実装学会は、この理念に基づいている。そして、実装技術者もウエハ関連プロセスを熟知しなければならない時代になった。

さらに、2005年ごろからシリコンに貫通電極を作るTSV (Through Silicon Via) が登場し、これに牽引されて実装技術は第3世代に入った。ここでは、シリコンチップを実装するためにウエハプロセスの最初の段階でビアの加工が行われる。また、超薄型ウエハの加工では従来なかった研磨技術やレーザ、プラズマなどのガス系技術も多用され、基板技術もシリコンに近い微細配線加工が要求されるようになった。このように、各技術は互いに接近し、重なり合って分離することができなくなっている。

このような時代には、ウエハプロセスと実装という技術者の区分はなくなり、相互の技術を十分に理解した技術者が必要になる。自分の専門技術はあるにしても相互の関連を考慮しながら研究開発、生産技術を進めなければならなくなった。すでに、実装を考慮しながらチップのレイアウトを設計する動きが出てきている。また、経営的に見ても従来は実装関連の投資はウエハプロセスの設備投資の10%前後と言われていたが、3次元実装関連の投資は増加しており、真空装置などの大型シリコン加工装置が増えて、ウエハプロセスに近い設備を必要としている。加えて、従来ウエハプロセスでは敬遠気味であっためっき装置も重要になり、金属材料、有機材料開発の重要性も増加した。

**見本** ウエハプロセスと実装技術が接近したことは、産業界にも大きな影響を持つ。半導体産業は、それをサポートする機械、材料、化学などの大きい裾野の広がり

を持っているが、実装技術になると、さらにバンブ、めっき、エッチング、研磨、ダイシング、接着剤、薬品など、従来の半導体よりもさらに広い分野に関係し、また半導体メーカでなくても完成したウエハを購入してバンブを作製したり、めっきやTSVの作製などに参入する会社も増えるだろう。現在でも、すでにバンブの作製(バンピング)は、ビジネスとして成立している。

## 1-4 3次元実装デバイスの現状と将来

3次元実装という概念はかなり古くから存在し、1980年代にはいくつかの特許が出願されている。そして、1990年ごろから3次元という表現が使われ始めた。1990年代に普及が始まった携帯電話機は高性能化の一途をたどり、半導体チップとくにメモリ・デバイスを電話機の小型基板に載せられなくなり、1998年には2チップ(SRAM+フラッシュ)の積層メモリ(チップ・スタック)が開発された。

このころ、従来のリード・パッケージに代わってエリア・アレイ型のCSPが主流になり始め、積層チップとうまくマッチして小型高密度デバイスが誕生した。その後、電話機の高性能化の要求によって積層チップ数は5～6枚まで増え、さらにロジック・チップも含むようになり、SiPと呼ばれるようになった(第3章参照)。このような3次元構造は、パソコンなどには基板サイズに余裕があったためあまり検討されなかったが、まさに携帯電話機が3次元実装の牽引車になったといえる。

その後、携帯電話機の高性能化はさらに進み、マイクロプロセッサとメモリを組み合わせたSiPデバイスが多種類要求されるようになった。このSiPを別々の半導体メーカのチップを使って単独のメーカで組み合わせることが不可能になり、それぞれのパッケージをユーザで組み合わせができるパッケージ・オン・パッケージ、PoP(第2章参照)が主流になってきた。現時点では、PoPが3次元実装SiPデバイスとしては最大の生産量になっている。PoPは特性的にはサイズが大きく、配線長も長いという欠点はあるが、複雑な市場要求を適切なコストで実現した点が優れている。

**見本**の注目すべき3次元実装技術であるシリコン貫通電極(TSV)の研究が行われたのは、1999～2002年のASET国家プロジェクト<sup>(注1-1)</sup>であった。この

研究がその後の世界的な TSV 研究の糸口になった。2004年から2007年にかけて ASET の研究をベースとした半導体メーカ、装置メーカ、材料メーカでの貫通電極の研究開発が相次ぎ、多くの関連学会でも最重要テーマとして活発に議論された。2007年前後にはいくつか試作デバイスが発表され、3次元時代は近いという期待を抱かせた。しかし、その中で量産されたものは東芝のイメージ・センサだけで、まだ大きな流れにはなっていない。この理由は、世界の中における日本の半導体産業の不振による研究開発の停滞、歩留まりの確保の難しさ、加工コストの高さなどが挙げられている。

今後、3次元実装技術はどの方向に向かうのであろうか。多くの関係者が TSV を本命にあげている。TSV SiP については、当初コンサルティング会社によると2008年に実用化とされていたのが2010年に、さらに2014年と先延ばしになっている(問題点は第8章で述べる)。それまでは、やはり PoP がパッケージの改良を進めながら本命となるであろう。第8章で述べる樹脂配線は、基板技術の展開と部品内蔵基板がからみ、レパートリーを広げられるかもしれない。

目が離せないのは、第5章で述べるチップ・オン・チップ(CoC)である。2チップしか積層できないというイメージではあるが、ソニーのプレイステーションにかなりの量産実績をもっていて、多数枚構造も可能であり、マイクロバンプを使ってLSIを分解して3次元化する、立体的SoCとでもいうべき方法も提案されている。CoCは、既存技術だけで構成できる点が強みである。

---

**見本** 注1: ASETは、技術研究組合超先端電子技術開発機構(Association of Super-Advanced Electronics Technologies)の英表記略称で、「産学官の連携によって日本の半導体技術力を強化する」という目的で1996年に設立された団体。 <http://www.aset.or.jp/>



# 第2章

## パッケージ・オン・パッケージ PoP

パッケージ・オン・パッケージ(以下PoP)は、その名のとおりパッケージを立体的に重ねたもので、現在のシステム・イン・パッケージ(SiP)構造の中心になっている。標準的には2個を重ねるが、特別な場合にはそれ以上のパッケージを重ねることもある。

パッケージの形状は、初期のころはリード付きパッケージを重ねたもの(MCP; マルチチップ・パッケージとも呼ぶ)が使われていたが、現在ではエリア・アレイ・バンプ[アレイ状に並んだバンプ(bump)と呼ばれる突起状の端子]を裏面に持つ樹脂基板[インターポーザ(Interposer)またはサブストレートとも呼ぶ]上にチップを載せ、ワイヤ・ボンディングまたはBGAタイプのフリップチップ(flip chip)接続したものを重ねた構造が主流である。

PoPの開発は2001年ごろから始まり、3次元実装構造の代表といわれてきた。これは、当時すでに完成していたBGAやCSP、ワイヤ・ボンディング、フリップチップ・ボンディングなどの技術を組み合わせることによって構成することができ、比較的容易に実現できたからだといってもよい。

その後、PoPは高性能化、薄型化、多ピン化などの要求に合わせて開発が続けられているが、2008年ごろからはメモリの高容量化などによる複数メーカーの製品を組み合わせる技術、薄型化にともなう反り抑制技術などが導入されている。また、以下に述べるように、基本構造から分かれたいくつかの進化形も開発されており、数年後に立ち上がるといわれている次世代のシリコン貫通電極(TSV)技術が確立するまでの3次元実装パッケージの中心を担うものとして期待されている。

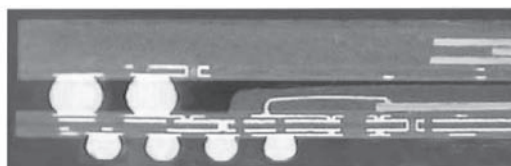
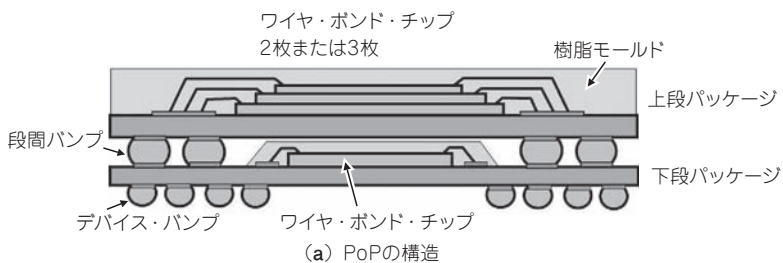
見本

## 2-1 PoP パッケージの基本構造

図2-1に、基本的なPoPパッケージの断面を示す。上段パッケージ(トップ・パッケージ)と下段パッケージ(ボトム・パッケージ)のチップはともにワイヤ・ボンド・チップであり、一般に下段パッケージ(ロジック回路、プロセッサなど)は1チップで、上段パッケージ(メモリなどを2～3チップ積層)より薄く作られている。ボンディング・ワイヤ部分は、樹脂モールドで被覆されている。

第1章の図1-1に示したPoPは、ボトム・パッケージにはワイヤ・ボンド・チップに代わってフリップチップが使われている例である。フリップチップは、接続信頼性の点からチップ・ボンディングした後、アンダーフィル(Underfill, 液状硬化性樹脂)をチップの下部に充填し、チップ部分のモールドがない場合が多い。図2-1の断面写真<sup>(1)</sup>からわかるように、ボトム・パッケージの有機基板は4層、トップ・パッケージは2層を使っている。これは、ボトム・パッケージ・チップの端子数が多いのに対し、トップ・パッケージはメモリなので端子数が少ないからである。

パッケージを重ねて接続するためには、従来のBGAと異なり、下段パッケー



**見本**

図2-1 代表的なPoPの構造と断面(TI)

ジには表面に電極が必要になる。図2-1の場合は、インターポーザ基板の表面配線を利用しているが、この場合は下段パッケージのモールド部分を小面積にしてインターポーザの周辺のエリアを利用する。このため、基本構造では上段パッケージと下段パッケージの bumps の大きさが異なることが多い。これは、上段パッケージの bumps 高さを下段パッケージのモールド部分より高くしてスタンドオフ（パッケージ間の余裕スペース）を確保するためと、一般に下段パッケージはプロセッサなどのLSIでピン数が多いので bumps を小さくし、上段はメモリなどでピン数が比較的少なくてよいという理由からである。このような大きい bumps で上下のパッケージを接続する代わりに、下段パッケージ表面を平面にして電極を付け、小さい bumps で接続する構造も、後述するようにいくつか開発されている。

## ● PoPのメリットとデメリット

3次元実装の観点から、パッケージに入れないチップだけを積層したチップ・スタックやシリコン貫通電極(Through Silicon Via, TSV)とPoPを比較すると、PoPの利点として、

- (1) パッケージが完成した後、パッケージごとにテストして良品を確認することができ、さらに積層しても加工時に不良となる可能性は構造上非常に少ない。すなわち、実装歩留まりを確保できる。
- (2) 複数のパッケージを組み合わせて任意のシステム特性が得られる。メーカーが異なるパッケージも組み合わせが可能で、メモリに対する要求が複雑なSiPを製作する場合に有利である。
- (3) ワイヤ・ボンド、フリップチップ、 bumps 技術など、従来の実装プロセスで完成している技術や製造能力を有効に利用できる。

一方、PoPの欠点としては、

- (1) パッケージの材料と組み立てコストが増え、全体のコストが高くなる。
- (2) チップからの配線が基板を通過するので配線長が長くなり、高周波特性が制限される。

**見本** bumps 領域、ボンディング・パッドなどがあるので、パッケージ全体が大型化する。

などがある。

PoPパッケージは、重ねた状態で1個のパッケージとして扱われるので、デバイス全体の厚さを薄くする必要がある。パッケージのインターポーザとなるBGA基板は、通常ビルドアップ構造を採用し、エポキシ樹脂系材料で構成される。中央部にガラス繊維を含んだ強度の高いコア層があり、その上に両面に微細配線層を持ち、強度と微細配線を両立させているので必然的に厚くなる。

そこで、最近のPoPでは、携帯電話機の薄型化などのために強度を保ちながら基板を薄くする技術が要求されている。その結果、2002年ごろは1.7～2mm前後だった全体のパッケージ厚は、2009年には1.4mmになった。そしてさらに、1.2mm以下にすることも要求され始めている。

代表的なPoPである図2-1の断面を見ると、インターポーザの厚さは約160 $\mu\text{m}$ でビルドアップが1層、チップの厚さは約60 $\mu\text{m}$ である。また、基板が薄くなり、さらにチップのモールド部分が小さくなると、構成材料の熱膨張係数差によるはんだリフロー時の反りが発生し、接続不良を起こすことがある。この反りを抑えるための有機材料の開発が行われている(2-11節参照)。熱膨張係数差を解消し、微細配線能力を解決する方法として、シリコン貫通電極を持ったシリコン・インターポーザも視野に入ってきた。

2002年ごろから、PoPによるSiP(システム・イン・パッケージ)の需要が世界的に急速に増加し始めた。SiPの基本はプロセッサなどのロジック・チップとメモリ・チップの組み合わせで構成されるが、要求される機能に応じてその組み合わせは多種類にのぼる。当初は、半導体メーカーが自社のロジック・チップとメモリ・チップを組み合わせでPoPとしたり、またはサブコンと呼ばれる実装専門メーカーが組み立てていたが、特性への要求が複雑になってくると必要なデバイスすべてを一つの半導体メーカーが製造、在庫することが難しくなってきた。

そのため、LSIメーカーはロジック・デバイスを1パッケージとして製造し、メモリはメモリ・メーカーが製造し、ユーザーが必要デバイスを両者から購入して組み合わせると効率が良いことから、PoPの分業生産が行われるようになってきた。このためには、パッケージの規格が揃っている必要がある。

**見本**パッケージのサイズ、 bumpsのピッチや大きさは、JEDEC(JEDEC Solid State Technology Association, 半導体技術協会)やJEITA(電子情報技術産業協

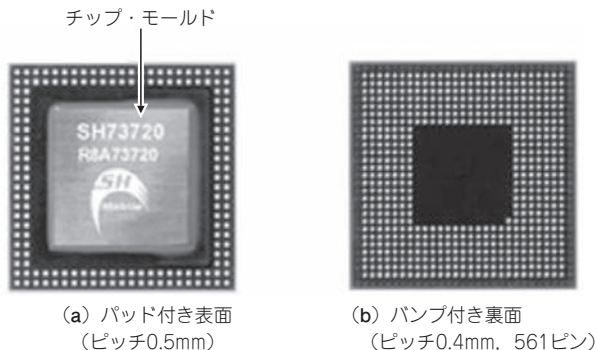
会)で規格化されているが、PoPの場合、特に上段のメモリ・パッケージの bumps ピッチはパッケージのスタンドオフやピン数、下段パッケージのチップ、基板の厚さ、さらには接続信頼性などに影響するので重要であり、現在では0.5mm ピッチと0.65mm ピッチが標準化されており、基板サイズはメモリとの組み合わせによって11×11mm, 12×12mm, 13×13mm, 14×14mm, 15×15mmなどがある。

2006年ごろからTSVの開発が始まり、3次元実装の本命と期待されているが、その実用化は種々の理由から予想より遅れ(第8章参照)、それに代わるような形でPoPの高機能化が進んでいる。この現象を考えると、TSVはシリコンウエハの加工という新しい加工プロセスに関わる問題が完全には解決できていないのに反して、PoPは従来からの半導体実装技術で培われてきた基本技術を使い、安全で確実なアプローチといえる。コストや高周波特性の問題があっても、現時点では3次元実装としてもっとも信頼できるアプローチといえよう。

## 2-2 各社の PoP 対応下段パッケージの構造

前述したように、PoPの上段と下段のチップは異なるメーカーにより製造されるケースが多いが、ここで半導体メーカー各社のPoPに対応する下段パッケージを見てみよう。

ルネサス テクノロジ(現ルネサス エレクトロニクス)からは、「PoP対応BGA



見本

図2-2 PoPに対応したBGAパッケージの外観(ルネサス テクノロジ)

パッケージ」が発表されている (SH モバイル・シリーズの携帯電話用アプリケーション・エンジン)。図2-2に、このパッケージの表面と裏面を示す<sup>(2)</sup>。構造は、ほぼ図2-1の基本形と同じで、下段パッケージとしては代表的なワイヤ・ボンド・チップの一部分モールド構造である。パッケージ・サイズは12×12mmで、上段パッケージにやや厚い2～3チップ積層のメモリ・パッケージを想定している。

携帯電話機用パッケージは、全体としても1.5mm程度の厚さに制限されていて、このPoPでは上段パッケージ・バンパがインターポーザにボンディングされるので、パッケージ高さは必ずしも二つのパッケージ厚さの合計にはならないが、下段パッケージの厚さはバンパ高さを含めて600～700 $\mu\text{m}$ 程度と推定される。

インターポーザの表面周辺には、図に見られるように上段パッケージ用の2列のピッチ0.5mmのボンディング・パッドが作られている。裏面のバンパは561ピン、バンパ・ピッチは0.4mmで、この0.4mmと0.5mmの組み合わせは下段パッケージBGAとしては現時点の最小ピッチであり、パッケージの小型化に寄与している。下段チップをフリップチップとした、図1-1に類似した携帯電話機用の薄型(厚さ1～1.2mm)も発表されている。

ルネサス テクノロジでは、さらにフリップチップをインターポーザ基板内部に封入した図2-3のようなチップ・インターポーザ内蔵型の薄型下段パッケージを発表している。フリップチップの厚さは90 $\mu\text{m}$ 程度(バンパを除く)、インターポーザ基板の厚さは300 $\mu\text{m}$ 程度と推定される。これは、全体の厚さ1mm以下という超薄型のPoPを目標としているようである。

DSP(デジタル・シグナル・プロセッサ)のトップ・メーカであるテキサス・インスツルメンツもPoPに注力している。PoPの下段パッケージとして、

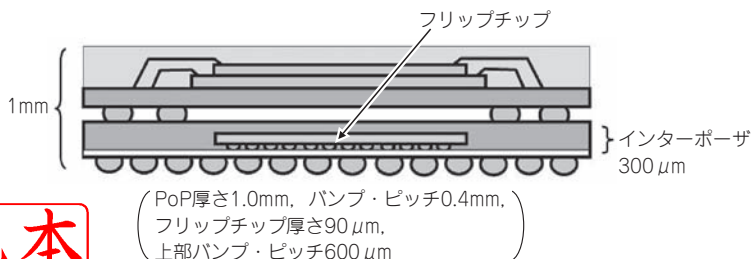


図2-3 フリップチップ・インターポーザ内蔵下段パッケージの構造(ルネサス テクノロジ)

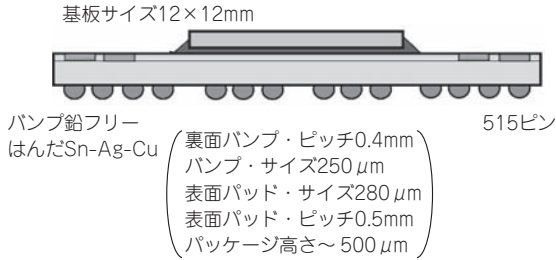
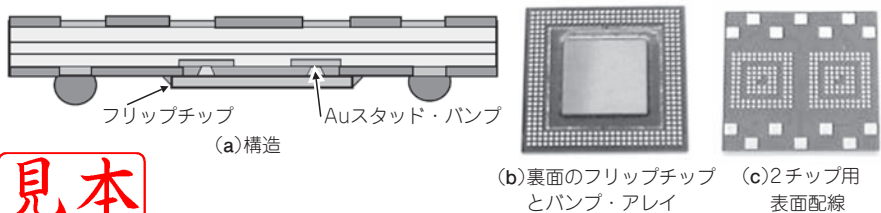


図2-4 OMAP3のPoP下段パッケージの構造(TI)

OMAP3シリーズを発表している。図2-4に示すように、12×12mmのインターポーザ上にフリップチップによるDSPチップをボンディングし、アンダーフィルをかけ、チップ・モールドはなく、裏面バンブは鉛フリーはんだ(Sn-Ag-Cu)でピッチ0.4mm、表面パッドは埋め込み構造でパッド径280µm、2列のパッド・ピッチは0.5mmで、小型のPoPパッケージを実現している。

東芝のPoP下段パッケージは、図2-5(a)に示すようにインターポーザ基板の下部にフリップチップを接続し、基板の表面を平面としてボンディング・パッドを作製し、別のパッケージまたはチップを積層できる構造になっている。

下部にチップを付けるとバンブを大きくしないといけないので、チップは十分に薄くして、さらに図のように基板にバンブがやや埋め込まれた形状にする必要がありそうである。このフリップチップは、スタッド・バンブすなわち金ワイヤ・ボンドをネックで切断したものと、はんだを用いてボンディングし、アンダーフィルで固定する。図(b)に、裏面のフリップチップと周辺のバンブ・アレイを示す。パッケージ表面は平坦なので、必要に応じてパッド配列を変更して、ユーザ側で図(c)のように2~3個のチップをボンディングすることも可能であり、SiPの構



**見本**

図2-5 スタッド・バンブFCパッケージの構造と外観(東芝)