

第1章

PLL回路と位相雑音の基礎知識

～PLL回路を構成する回路ブロックと、そこから発生する位相雑音のふるまい～



安定した発振周波数を得るために、高周波の世界ではPLL(Phase Locked Loop)技術が多く使われています。PLL回路を周波数シンセサイザとして動かすと、新たな周波数を合成(シンセサイズ)して高精度な出力周波数を作り出せます。しかし、合成できるのは周波数だけではありません。発振器の位相雑音を合成して、発振器単体よりロー・ノイズ化することもできます。

本章では、高精度が得られるPLL回路の動作原理と、位相雑音がどのように発生するのかという2点について解説します。



PLL回路の基礎知識を深めよう

● PLL周波数シンセサイザはいくつかの周波数を切り替えたいときに使う

無線関連の電子回路では、局部発振器として、いくつかの周波数の切り替えが必要です。例えば、テレビの受信器ではそのチャンネルの数だけ発振器が必要ですが、それをひとつひとつ準備するのは大変です。このようなときに使われるのが、本書でとりあげるPLL周波数シンセサイザと呼ばれる回路です。

発振器にはいろいろな形式がありますが、とくにPLL周波数シンセサイザが使われる理由は何でしょうか。

● 水晶振動子の精度で任意の高周波を作れる

水晶発振器を使えば正確な周波数を作ることができますが、得られる周波数は限定された範囲です。逆に、高い周波数の発振器を作ることではできても、正確で安定な周波数を得るのは困難です。

見本

PLL周波数シンセサイザは、これらのたがいの弱点を補って、水晶振動子の精

度を保ったまま、任意の周波数を選択できる自由度をあわせもつ回路です。

● 注目度が増している PLL の技術

携帯電話、パソコン、無線 LAN、GPS、デジタルテレビ放送などは、私たちの生活を快適にしています。

それらの進展には「PLL (Phase Locked Loop) 周波数シンセサイザ技術があったからだ」と言っても決して過言ではありません。

古くは複数の IC を組み合わせて作らなければならなかった PLL 周波数シンセサイザですが、今では分周器や位相比較器を一体化した LSI が登場し、超小型化され、数 GHz の周波数シンセサイザを少ない部品点数で構成できる時代になっています。

無線システムのさらなる進化と PLL の他分野への応用が加速されるなか、必要十分な性能とコスト効率を提供する PLL 周波数シンセサイザへの取り組みに対する関心も非常に高まっています。

● 設計には多様な知識と技術が必要になる

しかしながら、PLL 周波数シンセサイザの設計は難解です。特に、高周波領域でのロー・ノイズ設計になると、さまざまな分野の知識が必要となります。なお、本書でいうノイズとは位相雑音のことで、周波数に対するノイズです。後に詳しく説明します。

PLL 設計に必要な知識をおおまかに列挙すると以下になります。

- (1) 高周波発振回路 (VCO)
- (2) 高周波アンプとミキサ回路
- (3) 低位相雑音の発振回路 (VCXO)
- (4) 分周回路とロジック・カウンタ
- (5) 位相比較回路
- (6) フィルタ (OP アンプ回路を含む)
- (7) 負帰還回路理論

高周波からロジック、そして負帰還回路理論に至るまでの幅広い知識が必要です。

現在の LSI 化された周波数シンセサイザ用の PLL IC では、分周器や位相比較器は内蔵されており、直接目に触れることはありません。

しかし、PLL の最適化設計を目指すには、これら PLL を構成する回路技術の基本知識が不可欠となります。

見本

● 基礎から理解するために個別部品で作ってみる

そこで本書では、回路各部の波形を見ながら実験できるように、ブラック・ボックス化したPLL用ICを用いず、分周器や位相比較器もすべて安価なディスクリート部品で構成した回路を設計例として話を進めます。回路の動作波形を通して、PLLの基本技術を確認め、自分のものとしてください。

PLL周波数シンセサイザの最高性能を引き出すためのフィルタや発振器の設計法についても、実測データやシミュレータを活用してわかりやすく解説しています。

PLL回路の動作

● 周波数が一定に保たれるしくみ

図1-1は最も基本的なPLL回路で、次に記す三つの構成要素から成っています。

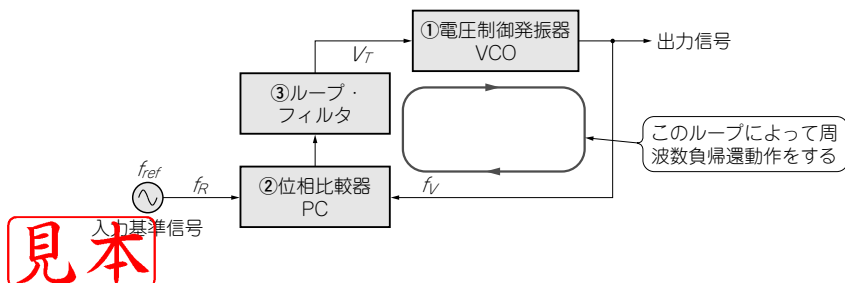
- ①電圧制御発振器 Voltage - Contorlled Oscillator (VCO)
- ②位相比較器 Phase Compalator (PC)
- ③ループ・フィルタ

しかし、この要素だけでは正常動作しません。位相比較器にリファレンス入力…基準信号 f_R が入力されてはじめて、PLL回路は周波数負帰還動作をします。

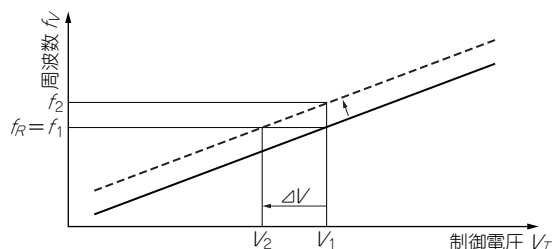
まず、図1-1に示すように、すでにPLL回路が正常動作していて、 $f_R = f_V$ となっているとします。このときVCOの周波数 f_V が環境の変化で高い方向へ動いた場合、PLL回路がどのように働くかを説明します。

- (1) VCO周波数が環境の変化で、 $f_R < f_V$ となる
- (2) 位相比較器の出力に誤差信号パルスが発生する
- (3) 誤差信号パルスがループ・フィルタを通過して直流電圧 V_T となる
- (4) 直流電圧 V_T は誤差信号に比例し、VCO周波数を低くする値となる
- (5) VCOの周波数が下がり、 $f_R = f_V$ の状態に戻る

〔図1-1〕 もっとも基本的なPLLの構成



〔図1-2〕 VCOの制御電圧-出力周波数特性



VCOの特性が破線のように変化したとしても、出力周波数が変化しないよう制御電圧 V_T が ΔV 変化する

PLL回路は周波数負帰還により、周波数が上がれば下げ、周波数が下がれば上げるといふ、自動制御回路として働いてくれるのです。

PLL，すなわち位相同期ループが形成されることにより、常に $f_R = f_V$ の状態が保たれます。

もう少し具体的にその動作を解析してみましょう。

図1-2に、電圧制御発振器VCOの制御電圧-出力周波数の特性… $V-F$ 特性を示します。制御電圧が上がると、出力周波数も高くなる特性です。

今、VCOは実線で示す特性で動いているとします。入力基準信号 f_R の周波数が f_1 なら、制御電圧は V_1 でロック状態にあります。温度の変動や経時によって、VCOの $V-F$ 特性が破線で示す特性に変化してしまったとします。制御電圧 V_1 のままでは、VCOの周波数は f_2 と高い周波数になってしまいます。

そこでPLLは、入力基準信号 f_R の周波数 f_1 に戻す方向に、VCOの制御電圧を ΔV だけ低い電圧 V_2 に変化させ、VCOの発振周波数を下げて、周波数 f_1 に戻します。VCOの特性が変わっても、出力周波数が同じになるよう、自動制御してくれるのです。

● PLLがロック状態になるまでの動作

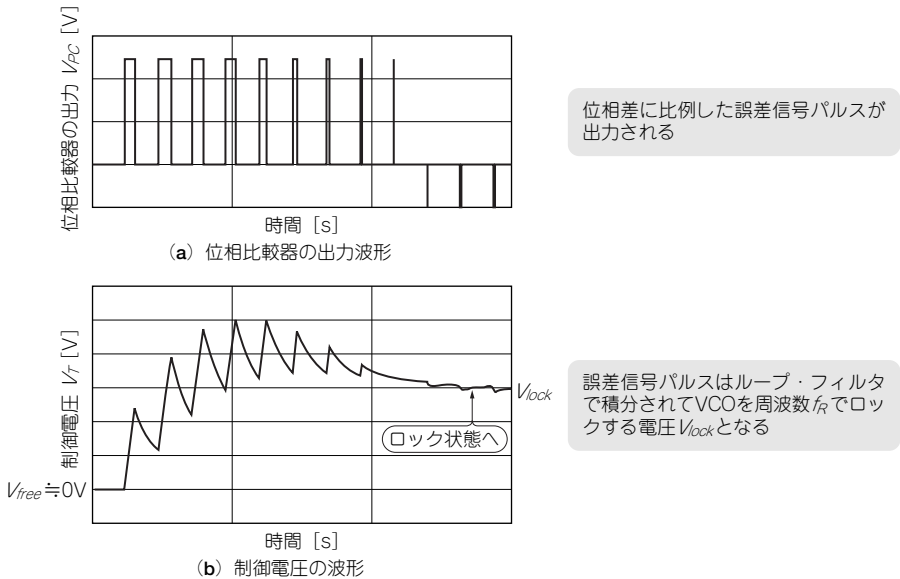
次に、入力基準信号 f_R が入力されて、PLLが形成される過程の動きを時間軸で考えてみましょう。

入力基準信号 f_R が入力されていないときVCOに加わる電圧を約0Vとして、VCOは不安定なフリー・ランニング状態で発振しているとします。

ここで、フリー・ランニングで発振している周波数より少しだけ高い周波数の入力基準信号 f_R が入力されたとします。すると位相比較器の出力には、図1-3(a)に示すような位相差に比例した誤差信号パルスが発生します。この場合は周波数を高

見本

【図1-3】 時間軸で見たPLLの動作波形



くする方向のパルスです。

この信号は、パルス的で高調波成分を多く含んでいますが、低域通過フィルタ (Low Pass Filter ; LPF) を通過することによって図1-3(b)に示すように積分されていき、VCOを f_R 周波数でロックする信号、 V_{lock} という直流電圧になるのです。

● ループ・フィルタ設計が極めて重要

PLLの時間軸での動作波形を見ると明らかなように、PLLでのLPFの重要性が認められます。

もしLPFがなければ、VCOは誤差信号パルスで変調されてしまい、PLLをロック状態へと導けません。

LPFの定数が適切でなければ、PLLはロックしなかったり、ロック状態にあったとしても非常に不安定であったり、さらにロック状態になるまでに時間がかかるなど、さまざまな弊害が生じます。

実際にPLLを設計するときには、このLPFの設計が大変重要になってくることが理解できると思います。

見本

図1-1は最も基本的なPLL回路ですが、このままでは入出力周波数が同じなの

で、周波数を合成して新たな周波数を作り出すというPLL周波数シンセサイザの基本とは言えないかもしれません。

PLLを周波数シンセサイザとして用いるには、もう一つ重要な回路をPLLのループ内に追加することになります。

PLL周波数シンセサイザの基本構成

● PLL回路に分周器を追加する

PLL回路は、図1-1に示したように①電圧制御発振器(VCO)、②位相比較器(PC)、③ループ・フィルタから構成されます。

PLL回路の位相比較器に④基準信号(リファレンス) f_R を入力すると、周波数負帰還動作を行うことができます。

PLL周波数シンセサイザとして使う、すなわち新しい周波数を合成して作り出すには、これに⑤分周器($1/N$)を追加する必要があります。

● 基準周波数のN倍の周波数を作れる

図1-4に、PLL周波数シンセサイザの基本構成を示します。①VCOと②位相比較器の間に、⑤分周器($1/N$)を挿入しています。分周器により、VCOの出力周波数を f_{out} とすると、位相比較器への入力周波数 f_D は次式となります。

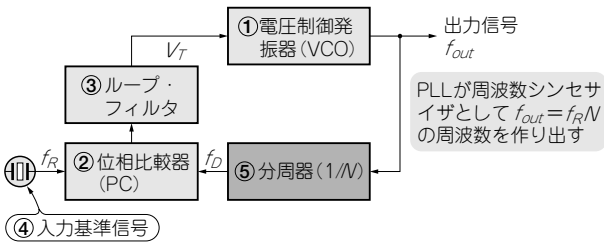
$f_D = f_{out} / N \cdots \cdots (1-1)$

PLLが構成されることによって、 f_D は入力基準周波数 f_R と等しくなります。つまり、出力周波数 f_{out} は次式で決まります。

$f_{out} = f_R N \cdots \cdots (1-2)$

これは、PLL回路が周波数シンセサイザとして動作し、入力基準周波数 f_R のN倍の合成周波数を作り出すことを意味しています。

[図1-4] PLL周波数シンセサイザの基本構成
PLL(フェイズ・ロックド・ループ)の中に分周器が含まれる



見本

● 基準信号と同じ安定度をもつ高周波を作れる

例えば、安定度の優れた200 MHzが欲しいとします。しかし、一般に周波数安定度に優れた200 MHzの水晶発振器を製作するのは容易ではありません。

1 MHzで周波数安定度の優れた水晶発振器や、200 MHzで発振できるが安定度はあまりよくないLC発振器ならば、簡単に製作できます。

そこで、1 MHzの水晶発振器を入力基準信号とし、LC発振器で200 MHzのVCOを作り、1/200の分周器と組み合わせてPLL回路を作れば、1 MHzを200倍にして200 MHzを作る周波数シンセサイザを構成できます。

こうすると、安定度の悪いLC発振によるVCOの出力で、水晶発振器と同じ周波数安定度を得られます。

実用的な構成

● プログラマブルな分周器を使う

次に、分周器をプログラマブルな(可変な)分周器で構成した場合のPLL周波数シンセサイザの動きについて考えてみましょう。

図1-5に示すのは、プログラマブル分周器を備えたPLL周波数シンセサイザです。分周比が $1/N$ であれば出力周波数 f_{out} は式(1-2)でした。プログラマブル分周器の N を1増やし、 $N+1$ とすると、PLLはどのように働くでしょうか。

PLLが構成されると、常に $f_D = f_R$ の関係となるので、出力周波数 f_{out} は次式となります。

$$f_{out} = f_R(N+1) \dots\dots\dots (1-3)$$

N を $N+1$ にすると、出力周波数 f_{out} は基準周波数 f_R ぶんだけ変化します。

● f_R のステップで出力周波数を変えられる

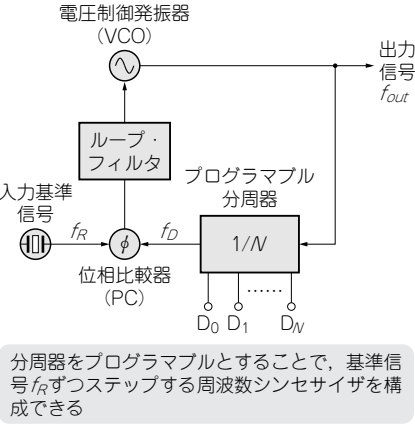
分周器をプログラマブルなものにすることで、出力周波数を f_R ステップで変えられる周波数シンセサイザを構成できます。

固定分周の場合は、分周器 N の値が200であれば、200 MHzの出力しかできませんでした。分周器をプログラマブルにして、 N の値を200, 201, 202…と可変すれば、200 MHz, 201 MHz, 202 MHz…と、出力を入力基準周波数 $f_R = 1$ MHzずつステップ変化させられます。

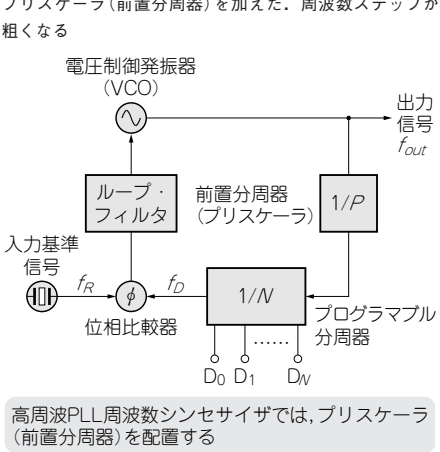
このように、PLL周波数シンセサイザの分周器をプログラマブルな可変分周器にすることで、その応用範囲は大きく広がります。

見本

[図 1-5] 出力周波数を簡単に変えられる PLL 周波数シンセサイザの構成



[図 1-6] 高周波を扱える PLL 周波数シンセサイザの構成



● 高周波ではさらにプリスケータを加える

高周波の PLL 周波数シンセサイザを組む場合には、プログラマブル分周器を使うだけでは問題があります。

プログラマブル分周器は、一般的にはあまり高い周波数で動作できません。ロジック回路を用いたカウンタ回路なので、その動作スピードは使用されているデバイスによってある程度決まります。

図 1-6 に示すように、プログラマブル分周器の前にプリスケータ (前置分周器) を置いて、プログラマブル分周器に入力される信号を動作できる周波数まで下げることで、この問題を避けられます。

これが高周波を扱う PLL 周波数シンセサイザの基本形です。ただし現在では、GaAs を用いることで、数 GHz でも動作するプログラマブル分周器があり、プリスケータのない場合もあります。

● プリスケータにより周波数ステップが粗くなってしまう

分周比 P のプリスケータ ($1/P$) とプログラマブル分周器 ($1/N$) を備えた PLL 周波数シンセサイザの出力周波数 f_{out} は、次式で表せます。

$$f_{out} = f_R N P \dots\dots\dots (1-4)$$

プログラマブル分周器の分周比 N を 1 増加させて $N + 1$ とすると、出力周波数 f_{out} は次式となります。

見本

$$f_{out} = f_R(N+1)P \dots\dots\dots (1-5)$$

この式からわかるように、プリスケアラを挿入することによって、一つ問題が生じます。それは、出力周波数 f_{out} の周波数ステップが、プリスケアラの分周比のぶん、つまり P 倍されてしまうということです。

● 周波数ステップを細かいまま保つには

いま、プリスケアラ $1/P$ に $1/8$ のものを我们用いましょう。先程と同様に、基準周波数 f_R を 1 MHz として、プログラマブル分周器の N を $200, 201, 202\dots$ と可変します。すると、今度は 1 MHz ステップにはならず、 $8\text{ MHz}(=f_R \times 8)$ ステップとなってしまいます。

▶ 基準周波数を下げると応答速度や雑音に悪影響

プリスケアラを使いつつ出力周波数 f_{out} を 1 MHz ステップで動かしたければ、基準周波数 f_R を $1/8$ の 125 kHz にしなければなりません。しかし、これはPLLの比較周波数を小さくすることですから、PLLの応答速度や位相雑音、そしてスプリアス特性などにとって好ましくありません。

▶ デメリットを軽減できる方法もある

プリスケアラ方式でありながら、基準周波数 f_R の周波数ステップ幅で動かすことができるカウンタの方式が考案され用いられています。その方式については分周器の章(第6章)で解説します。

例題として製作するPLL周波数シンセサイザ

● 理想的なPLL周波数シンセサイザを目指して

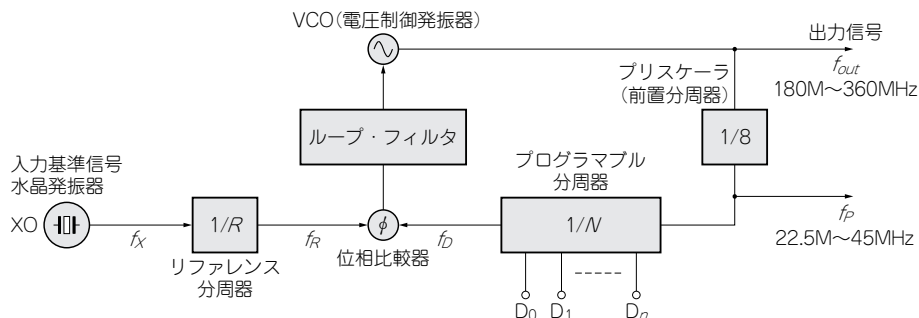
例題として設計するPLL周波数シンセサイザは教習用ですが、実用的です。各部の動作波形をチェックでき、また、入手可能な汎用部品で製作できるように、すべてディスクリート部品で構成しました。しかし、性能も追求します。

ここで理想的なPLL周波数シンセサイザとはどのようなものか考えてみます。それは、広帯域発振であり(周波数発振範囲が広く)、分解能が小さく(周波数設定を細かくでき)、設定スピードも速く、さらに雑音が少なく、そしてスプリアスもないことです。

残念ながら、これらの性能はみなトレード・オフの関係にあります。すなわち、こちらを立てればあちらは立たずということです。それがPLLの設計を難しくし



【図1-7】 製作するPLL周波数シンセサイザ



● 採用する部品の制約から周波数を180 M～360 MHzに決める

図1-7に、今回製作するPLL周波数シンセサイザのブロック図を示しました。この周波数シンセサイザを製作して、その動作解析を行うことで、PLLの各性能がトレードオフの関係にあることを理解できると思います。そして、目的に応じた周波数シンセサイザの最適化設計への糸口を見出すことができるでしょう。

プログラマブル分周器はCMOSロジックICの74AC163を用いて8ビット・カウンタを組みます。その動作周波数の上限は50 MHzほどです。少し余裕をみて、プログラマブル分周器の上限周波数を45 MHzとします。

プリスケアラ(外付けの前置分周器)に1/8のタイプを用いると、出力周波数の上限は360 MHzです。

広帯域VCOの周波数可変範囲は、一般にオクターブ(2倍になる範囲)が限界です。よって、VCOの周波数範囲を180 M～360 MHzとします。

PLL周波数シンセサイザの入力基準信号 f_R は、10 MHzの水晶発振器から1/R分周する回路を別ボードで製作することにします。

● 4 MHz刻みで周波数を変えられる

図1-7に示すPLL周波数シンセサイザで、入力基準信号 f_R に基準信号源10 MHzを1/20分周した500 kHzを入力します。

プログラマブル分周器を適切に設定すると、出力 f_{out} は、周波数180 M～360 MHzの間を4 MHzステップで動かすことができます。写真1-1は、そのようすを、スペクトラム・アナライザ(以下、スペアナ)という計測器でモニタしました。

なお、入力基準信号 f_R の周波数を変えれば、ステップ幅も変わります。

PLL周波数シンセサイザに入力した固定信号500 kHzは、PLLによって180 M～

見本

360 MHz 間の好みの周波数に変換できるのです。

まさに、新しい周波数を作り出す「周波数シンセサイザ」です。

位相雑音特性の例

では、作り出された新しい周波数の信号純度…位相雑音はどうなっているのでしょうか？ 周波数成分を分析する測定器スペアナで解析してみましょう。

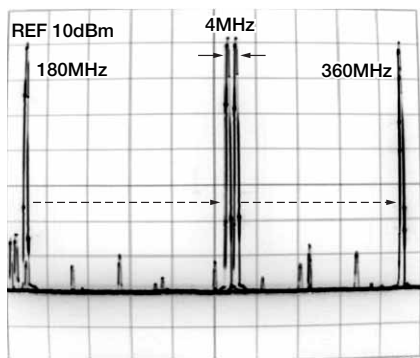
● 分周数 N と位相雑音の関係

写真1-2は、出力周波数180 MHzと360 MHzの信号をスペアナでモニタして比べたものです。スペアナの周波数のスパン(左から右までの幅)を5 kHz、分解能 RBW を100 Hzで観測しました。周波数が出力360 MHzのとき大幅に位相雑音が増えています。特に、1 kHz オフセット(中心周波数から1 kHz 離れ)以内の位相雑音が悪化しています。なぜでしょうか？

これは、分周数 N の値が異なるためです。今、実験で用いているPLLは出力周波数180 MHz、 $N=45$ のとき、ループ・ゲインのカットオフ周波数 $f_C = 1$ kHz になるよう設計してあります。このとき、プリスケアラの分周数 $P=8$ も考慮したトータルの分周数 N_T は $45 \times 8 = 360$ です。

カットオフ周波数以内では、入力基準信号 f_R の位相雑音が N_T 倍された値が支配的となります。カットオフ周波数より高い周波数では、今度はVCOの位相雑音に支配されていきます。

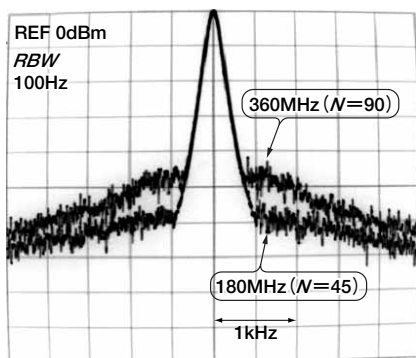
[写真1-1] 180 M～360 MHzを4 MHzステップで変えられる (10 dB/div, 20 MHz/div)



Span 200MHz, Center 200MHz

見本

[写真1-2] 180 MHz出力と360 MHz出力でノイズを比較 (10 dB/div, 500 Hz/div)



Span 5kHz, Center 180/360MHz

「カットオフ周波数」などをいきなり記したので、少し混乱される方もおられると思いますが、徐々に説明をしますので、今の時点では、 N の値によって位相雑音が違うという結果に注目してください。

● 位相雑音大きい基準信号源は使えない

PLLの位相雑音は、カットオフ周波数 f_C 以内なら入力基準信号 f_R がもつ位相雑音の N_T 倍に支配されると書きました。今この f_R には、水晶発振器からの信号を用いています。

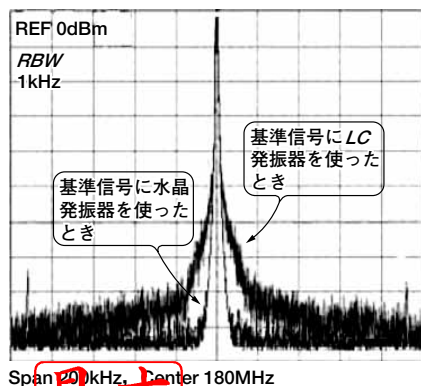
ここで試しに、この入力基準信号をLC発振器による信号に変えてみましょう。

写真1-3にその結果を示します。ここでは結果を強調するために、極端に位相雑音特性が悪いLC発振器を基準信号源として用いました。

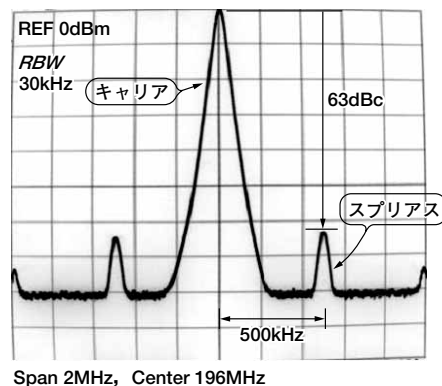
LC発振器は、位相雑音特性だけでなく周波数の安定度も非常に悪いので、スパン5 kHzでのデータは取れませんでした。波形がうまく画面内に収まらないのです。しかし、スパン200 kHzの写真1-3でも、LC発振器を基準源とすると、極端に位相雑音特性が悪化することが確認できます。

低位相雑音のPLL周波数シンセサイザを必要とするなら、入力基準信号 f_R の位相雑音が N_T 倍されてPLLから出力されることを考慮し、慎重に基準信号源の選択または設計をしなければならないことが理解できたと思います。

[写真1-3] 基準信号を変えて位相雑音を比較
(10 dB/div, 20 kHz/div)



[写真1-4] 基準信号の漏れによるスプリアス
(10 dB/div, 200 kHz/div)



不要信号 スプリアス

● 作り出された信号の両脇に不要な信号が見える

新しく作り出された周波数の信号純度として位相雑音に注目しましたが、次に、新たに作り出されてしまうスプリアス(不要な信号)についてみていきましょう。

広い意味ではスプリアスもノイズですが、特定の周波数に現れる不要信号は一般的な位相雑音と区別されてスプリアス(spurious)と呼ばれます。

写真1-4には、PLL周波数シンセサイザの入力基準信号 f_R を500 kHzとして、196 MHzを出力したときのスペアナによる観測波形を示します。出力信号196 MHzのキャリアから500 kHz離れたところに、キャリアのレベルから63 dBc低い信号が存在しています。これは不要な信号なのでスプリアスです。

なぜこのような信号が出力されるのでしょうか？ この不要信号は「リファレンスもれ」と一般に呼ばれるスプリアスです。リファレンスとは基準信号のことです。

PLLの位相比較器では、この例では500 kHzで位相比較しています。その繰り返しの信号によって、VCOが変調されます。よって、キャリアに対して500 kHz離れたところにスプリアスが現れるのです。入力基準周波数 f_R を変更して、例えば200 kHzとすれば、今度はキャリアから200 kHz離れたスプリアスが現れます。

このリファレンスもれは、PLLを構成するにあたって避けられないものですが、スペクトル純度を向上するためには、このリファレンスもれスプリアスの抑圧が重要となり、これもPLLの設計を難しくする要因の一つとなります。

位相雑音を定量的に観測するための定義

PLL周波数シンセサイザは、新しい周波数を作り出すだけでなく、PLLがもつループ・ゲインのカットオフ周波数の選びかたによって、基準信号とVCOの位相雑音を合成した新しい位相雑音になることがイメージできたと思います。

次に、この位相雑音特性を定量的に考えるために、SSB位相雑音(C/N)について解説します。

● 位相雑音とは

位相雑音は、「理想正弦波に与えられる不完全さ」としてとらえることができます。ここで、理想的な正弦波(キャリア)は次式で表されます。

見本 $V(t) = V_0 \sin(2\pi f_0 t)$

ただし、 V_O ：振幅、 f_0 ：周波数

ところが、実際の信号は理想正弦波ではなく雑音によって位相変調を受けています。これは次式で表すことができます。

$$V(t) = V_O \sin \{2\pi f_0 t + \Phi(t)\}$$

ただし、 $\Phi(t)$ ：キャリアを位相変調させる信号

このことは、低周波の信号がキャリアを直接変調し、側波帯として現れることを意味します。

図1-8には、キャリアと雑音により変調を受けたスペクトラムを図示しています。

キャリアを位相変調させる信号がある一定の周期をともっている場合、スプリアスとして現れます。それは電源周波数によるものであったり、機械的な振動によるものであったりします。PLLを構成した場合には、前項で説明したリファレンスもれによるものであったりします。

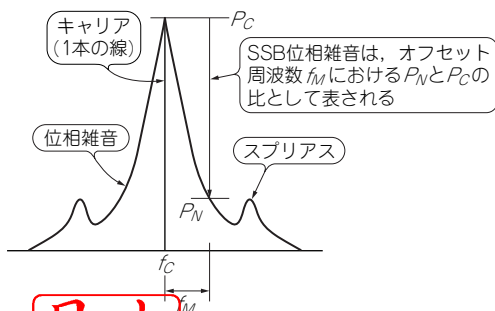
キャリアを位相変調させる信号が一定の周期をもたないランダムな信号の場合、例えばデバイスのもつ熱雑音やフリッカ雑音によって変調されたときのスペクトラムの広がりを、一般に位相雑音と呼んでいます。

● 位相雑音を定量的に定義づける

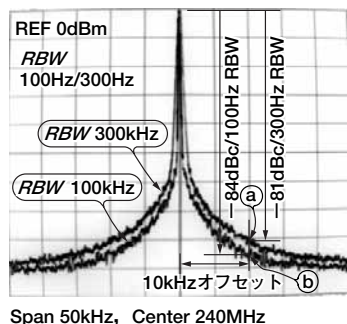
変調による位相雑音はキャリアに対して両側波帯に同じ影響を及ぼすことになります。片側の側波帯だけで位相雑音を評価できるので、SSB位相雑音(Single-SideBand Phase Noise)で表します。

図1-8のようにキャリアからのオフセット周波数に対して、位相変調されたスペクトラムがもつ測定帯域幅(RBW)あたりの電力密度を、キャリア・レベルに対

[図1-8] キャリアと雑音により変調を受けたスペクトラム



[写真1-5] スペアナでSSB位相雑音C/Nを測定する (10 dB/div, 5 kHz/div)



する比 C/N (キャリア・ノイズ比)として表現します。

これは、スペアナによって容易に観測し測定できます。

写真1-5は、製作したPLL周波数シンセサイザの240 MHz出力での位相雑音をスペアナで観測し測定したものです。

ここで、オフセット周波数10 kHzでのSSB位相雑音、 C/N を測定してみましょう。

㊸点は、測定帯域幅(RBW)が300 Hzのときオフセット周波数10 kHzにおけるSSB位相雑音で、キャリアから-81 dBcと測定できます。

次に、㊹点は、測定帯域幅(RBW)を100 Hzとした場合のオフセット周波数10 kHzにおけるSSB位相雑音で、キャリアから-84 dBcと測定できます。

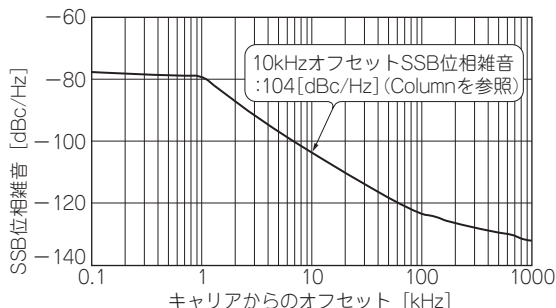
このように、雑音の場合は測定する帯域幅(RBW)によって値が変わります。ですから、測定した帯域幅を必ず明記しなければなりません。しかし、これは不便です。

異なった帯域幅で測定した位相雑音を比較する場合には、どちらかの値をもう一方の帯域幅での値に換算してから比較しなければなりません。この不便を避けるため、SSB位相雑音を1 Hz当たりの電力密度に換算した[dBc/Hz]として定義します。キャリアからのオフセット周波数を横軸として、それぞれの1 Hzに換算したSSB位相雑音を縦軸に表します。

図1-9には、例題のPLL周波数シンセサイザでのSSB位相雑音の例を示します。240 MHzを出力させ、SSB位相雑音をスペアナで測定して、1 Hz当たりの電力密度に換算し、オフセット周波数100 Hzから1 MHzのSSB位相雑音を定量的に表しています。

Columnにはスペアナを用いて測定したSSB位相雑音を1 Hz当たりの電力密度、単位[dBc/Hz]に換算して値付けする方法を記しました。

【図1-9】 定量的にSSB位相雑音を表す



見本